

**HIZLI TEK AKI KUANTUM TEKNOLOJİSİ İLE KOGGE-STONE  
TOPLAMA DEVRESİ TASARIMI VE ÖZGÜN BİRLEŞİK KAPI  
GELİŞTİRİLMESİ**

**MURAT ÖZER**

**YÜKSEK LİSANS TEZİ**

**ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ**

**FEN BİLİMLERİ ENSTİTÜSÜ**

**NİSAN 2014**

**ANKARA**

Fen Bilimleri Enstitü onayı

---

Prof. Dr. Necip ÇAMUŞCU  
Müdür

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladığını onaylarım.

---

Prof. Dr. Murat ALANYALI  
Anabilim Dalı Başkanı

Murat ÖZER tarafından hazırlanan HIZLI TEK AKI KUANTUM TEKNOLOJİSİ İLE KOGGE-STONE TOPLAMA DEVRESİ TASARIMI VE ÖZGÜN BİRLEŞİK KAPI GELİŞTİRİLMESİ adlı bu tezin Yüksek Lisans tezi olarak uygun olduğunu onaylarım.

---

Doç. Dr. Ali BOZBEY  
Tez Danışmanı

Tez Jüri Üyeleri

Başkan : Yrd. Doç. Dr. A. Murat ÖZBAYOĞLU \_\_\_\_\_

Üye : Doç. Dr. Arif Sanlı ERGÜN \_\_\_\_\_

Üye : Doç. Dr. Ali BOZBEY \_\_\_\_\_

## **TEZ BİLDİRİMİ**

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, ayrıca tez yazım kurallarına uygun olarak hazırlanan bu çalışmada orijinal olmayan her türlü kaynağa eksiksiz atıf yapıldığını bildiririm.

---

Murat ÖZER

|                    |                                          |
|--------------------|------------------------------------------|
| Üniversitesi       | : TOBB Ekonomi ve Teknoloji Üniversitesi |
| Enstitüsü          | : Fen Bilimleri Enstitüsü                |
| Anabilim Dalı      | : Elektrik ve Elektronik Mühendisliği    |
| Tez Danışmanı      | : Doç. Dr. Ali BOZBEY                    |
| Tez Türü ve Tarihi | : Yüksek Lisans – Nisan 2014             |

**MURAT ÖZER**

**HIZLI TEK AKI KUANTUM TEKNOLOJİSİ İLE KOGGE-STONE  
TOPLAMA DEVRESİ TASARIMI VE ÖZGÜN BİRLEŞİK KAPI  
GELİŞTİRİLMESİ**

**ÖZET**

Geçmişten günümüze, gelişen bilgisayarlardaki aritmetik ve mantık işlemlerinin hesaplama zorluğu, işlemci tasarımında önde gelen problemlerden biri olmuştur. Bu problem, daha hızlı ve verimli devreler tasarlanması üzerinde çalışılmasına ve farklı yapılarda, toplama ve çarpma devreleri gibi özelleştirilmiş mantık devreleri tasarlanmasına yol açmıştır. Günümüzde kullanılan yarı iletken teknolojisi, işlem hızı ve bu hıza bağlı enerji tüketiminde teorik öngörülen limitlere yaklaşmaktadır. Yarı iletken teknolojisine alternatif olan Hızlı Tek Akı Kuantumu (RSFQ) teknolojisi ise, düşük enerji tüketimi, yüksek operasyon ve iletim hızı ile öne çıkmaktadır. Bu teknoloji kullanılarak özellikle son 20 yıl içerisinde yüksek hızlarda çalışabilen ve yarıiletken eşdeğerlerine göre enerji tüketimi 1000’de 1’i kadar olan çeşitli devreler geliştirilmiştir. Ancak halen gelişim aşamasında olan RSFQ teknolojisi, tasarım araçlarının az ve yetersiz olması sebebiyle, birçok noktada el ile tasarlamayı gerektirmektedir. Bu çalışma kapsamında dalga boru hattı yöntemi ile çalışan 8 bitlik özgün bir Kogge-Stone Toplama Devresi ve devrede kullanılan Tam Toplayıcı mantık bloğu gibi özgün mantık bloklarının tasarımları yapılmıştır. Bu çalışmadaki mantık blokları ve bağlantı hatları tamamen el ile tasarlanmıştır. Tasarlanan blokların devre parametreleri, Parçacık Sürüsü Eniyileme (PSO) aracı kullanılarak optimize edilmiştir. Böylece toplama devresinin performansının artırılması hedeflenmiştir. Ayrıca, tamamlanan toplayıcı devresinin veriminin ve çalışma toleransının artırılması amacıyla İstatistiksel Zamanlama Analiz Aracı (STATS) kullanılarak iyileştirmeler yapılmıştır. Sonuç olarak hedef frekansı 25GHz olan ve 6581 Josephson Eklemi’nden oluşan 8 bitlik bir Kogge-Stone Toplama Devresi tasarlanmıştır.

**Anahtar Kelimeler:** Süperiletken Elektroniği, RSFQ, Kogge-Stone Toplama Devresi, Birleşik Mantık Kapısı

**University : TOBB Economics and Technology University**  
**Institute : Institute of Natural and Applied Sciences**  
**Science Programme : Electrical and Electronics Engineering**  
**Supervisor : Assoc. Prof. Dr. Ali BOZBEY**  
**Degree Awarded and Date : Master of Science – April 2014**

**MURAT ÖZER**

**DESİGN OF RSFQ WAVE PIPELINED KOGGE-STONE ADDER AND  
DEVELOPING CUSTOM COMPOUND GATES**

**ABSTRACT**

Since the invention of computers, arithmetic and logic operations using digital circuits have been one of the leading problems in processor design. This problem forced designers to develop specialized logic circuits for faster and efficient calculations, namely adder and multiplier circuits. Nowadays straight forward usage of conventional Complementary Metal Oxide Semiconductor (CMOS) logic circuits, have encountered a fundamental obstacle in terms of power consumption. One of the major alternatives to this technology, Rapid Single Flux Quantum (RSFQ), presents the advantage of higher operation speed while ensuring very low power consumption. In the last 20 years, different circuits have been designed via RSFQ technology with faster operation speed and a third order of magnitude lower power consumption compared to CMOS technology. However, RSFQ is a relatively new technology therefore, there is not many commercially available design and routing tools for the circuit level design and the entire routing have to be done manually. In this study, a custom, wave pipelined, 8 bit Kogge Stone Adder circuit and a custom compound logic gate similar to Full Adder, is designed. It is noteworthy to mention that all wiring and logic block designs are made manually and component parameters of the designed compound gate are optimized using Particle Swarm Optimization tool. Besides, timing analyses are made to the whole circuit by using Statistical Timing Analysis Tool for SFQ Cells (STATS) to improve jitter and timing of the whole circuit. Finally, an 8 bit Kogge-Stone Adder circuit is designed with a 25GHz target working frequency which also utilizes 6581 Josephson Junctions.

**Keywords:** Superconductivity Electronics, RSFQ, Kogge-Stone Adder, Compound Logic Gate

## TEŞEKKÜR

Çalışmalarım boyunca değerli yardım ve katkılarıyla beni yönlendiren danışmanım Doç Dr. Ali BOZBEY'e, kıymetli hocalarım Yrd. Doç. Dr. A. Murat ÖZBAYOĞLU ve Doç. Dr. Arif Sanlı ERGÜN'e; başta eşim Aslı ÖZER olmak üzere sabır ve desteklerini hiç bir zaman esirgemeyen aileme; başta Yiğit Tükel, M. Eren Çelik ve Sasan Razmkhah olmak üzere bütün çalışma arkadaşlarıma; CONNECT Hücre Kütüphanesi'ni bizlerle paylaşan başta Prof. A. Fujimaki olmak üzere Nogoya Üniversitesi'ne; sağladığı maddi ve laboratuvar imkânları için TOBB Ekonomi ve Teknoloji Üniversitesi'ne teşekkürü borç bilirim.

Bu çalışmada kullanılan devre yongalarının üretimi, temiz odada Analog-Dijital Süperiletken (CRAVITY) National Institute of Advanced Industrial Science and Technology (AIST)'nin standart üretim tekniği ile gerçekleştirilmiştir. AIST STP2, International Superconductivity Technology Center (ISTEC) tarafından geliştirilmiş olup, Niyobyum devre üretimini temel almaktadır.

Devre tasarımı 111E191 numaralı, "RSFQ Tabanlı Bütünleşik Devre Tasarım Aracı ve Aritmetik Mantık Birimi Geliştirilmesi", TÜBİTAK projesi tarafından desteklenmektedir.

## İÇİNDEKİLER

|       |                                                   |    |
|-------|---------------------------------------------------|----|
| 1     | GİRİŞ .....                                       | 1  |
| 1.1   | İŞLEMCİ .....                                     | 1  |
| 1.2   | SÜPERİLETKENLİK .....                             | 3  |
| 2     | TEORİ.....                                        | 9  |
| 2.1   | Josephson Etkisi .....                            | 9  |
| 2.1.1 | DC Josephson Etkisi .....                         | 11 |
| 2.1.2 | AC Josephson Etkisi .....                         | 11 |
| 2.2   | SFQ Devre Elemanları .....                        | 12 |
| 2.2.1 | Josephson İletim Hattı (JTL).....                 | 13 |
| 2.2.2 | Ayırıcı (Splitter).....                           | 14 |
| 2.2.3 | Tampon (Buffer) .....                             | 15 |
| 2.2.4 | Mantık Kapıları .....                             | 16 |
| 2.2.5 | DC-SFQ ve SFQ-DC Devreleri .....                  | 19 |
| 2.3   | Toplama İşlemi ve Modelleri .....                 | 21 |
| 2.3.1 | Tam Toplayıcı Mantık Devresi .....                | 21 |
| 2.3.2 | Koşullu Toplayıcı.....                            | 24 |
| 2.3.3 | Üretme ve Yayma Bitleri .....                     | 25 |
| 2.3.4 | Kogge-Stone Toplayıcısı.....                      | 27 |
| 2.3.5 | Brent-Kung Toplayıcısı.....                       | 30 |
| 2.4   | DALGA BORUHATTI.....                              | 31 |
| 3     | TASARIM .....                                     | 34 |
| 3.1   | Yarı Özgün Gri Önek Hücresi Tasarımı.....         | 34 |
| 3.2   | Özgün Gri Önek Hücresi Tasarımı.....              | 36 |
| 3.3   | Kogge-Stone Toplayıcısı Tasarımı.....             | 38 |
| 3.3.1 | H-Ağaç Saat Darbesi Dağılımı.....                 | 42 |
| 3.3.2 | Zamanlama Düzenlemeleri ve Verilog Testleri ..... | 42 |
| 4     | SONUÇ.....                                        | 46 |
|       | KAYNAKLAR .....                                   | 48 |
|       | ÖZGEÇMİŞ .....                                    | 52 |

## ÇİZELGELERİN LİSTESİ

|                                                                       |    |
|-----------------------------------------------------------------------|----|
| Çizelge 2.1: Toplama İşlemi Tablosu .....                             | 22 |
| Çizelge 2.2: Elde biti Giriş Çıkış İlişkisi .....                     | 26 |
| Çizelge 3.1: Tam Özgün Gri Önek Hücresi Marjin Analiz Sonuçları ..... | 37 |



## ŞEKİLLERİN LİSTESİ

|                                                                                                                |    |
|----------------------------------------------------------------------------------------------------------------|----|
| Şekil 1.1: Darbeli Kart Örneği .....                                                                           | 2  |
| Şekil 1.2: Civanın sıcaklık direnç ilişkisi.....                                                               | 4  |
| Şekil 1.3: Süperiletkenlik Durumunun Kritik Akım, Kritik Sıcaklık ve Kritik<br>Manyetik Alan ile İlişkisi..... | 5  |
| Şekil 1.4: Meissner Etkisi .....                                                                               | 6  |
| Şekil 1.5: Cooper Çiftleri .....                                                                               | 7  |
| Şekil 2.1 Cooper Çiftleri ve Tünelleme .....                                                                   | 9  |
| Şekil 2.2: SFQ Darbesi.....                                                                                    | 12 |
| Şekil 2.3: T Dal Tipi ve S Dal Tipi Josephson Bağlantıları.....                                                | 13 |
| Şekil 2.4: Josephson İletim Hattı Devre Şematiği .....                                                         | 14 |
| Şekil 2.5: Çoklayıcı Devre Şematiği.....                                                                       | 15 |
| Şekil 2.6: Basit Tampon Devresi .....                                                                          | 16 |
| Şekil 2.7: VE Mantık Kapısı Devre Şematiği .....                                                               | 17 |
| Şekil 2.8: VEYA Mantık Kapısı Devre Şematiği .....                                                             | 18 |
| Şekil 2.9: ÖZEL VEYA Mantık Kapısı Devre Şematiği .....                                                        | 19 |
| Şekil 2.10: DC-SFQ Devre Şematiği .....                                                                        | 20 |
| Şekil 2.11: SFQ-DC Devre Şematiği .....                                                                        | 20 |
| Şekil 2.12: DC-SFQ Devresi Giriş Çıkış Sinyal İlişkisi .....                                                   | 20 |
| Şekil 2.13: SFQ-DC Devresi Giriş Çıkış Sinyal İlişkisi .....                                                   | 21 |
| Şekil 2.14: Tam Toplayıcı Bloğu Mantık Devresi .....                                                           | 23 |
| Şekil 2.15: 1 bitlik Tam Toplayıcı bloğu .....                                                                 | 23 |
| Şekil 2.16: 4 bitlik Tam Toplayıcı Blok Şeması .....                                                           | 24 |
| Şekil 2.17: 4 bitlik Koşullu Toplayıcı Blok Şeması.....                                                        | 25 |
| Şekil 2.18: Üretme ve Yayma Bitleri Hesaplama Devresi.....                                                     | 26 |
| Şekil 2.19: Kogge Stone Toplayıcı Bloğu Mantık Devresi .....                                                   | 28 |
| Şekil 2.20: 16 Bit Kogge-Stone Toplayıcı Bağlantı Şeması .....                                                 | 29 |
| Şekil 2.21: 16 Bit Brent-Kung Toplayıcı Bağlantı Şeması .....                                                  | 30 |
| Şekil 2.22: 5 Aşamalı Boruhattı .....                                                                          | 31 |
| Şekil 2.23: Dalga Boruhattı.....                                                                               | 32 |
| Şekil 3.1: Kogge Stone Toplama Devresi Elde Biti Taşıma Şeması .....                                           | 34 |
| Şekil 3.2: Gri Önek Hücresi .....                                                                              | 35 |
| Şekil 3.3: Siyah Önek Hücresi .....                                                                            | 35 |
| Şekil 3.4: Standart Kütüphane ile Tasarlanan Gri Önek Hücresi Şematiği .....                                   | 35 |
| Şekil 3.5: Standart Kütüphane ile Tasarlanan Gri Önek Hücresi Layoutu .....                                    | 35 |
| Şekil 3.6: Yarı Özgün Gri Önek Hücresi Layoutu .....                                                           | 38 |
| Şekil 3.7: Tam Özgün Gri Önek Hücresi Layoutu.....                                                             | 38 |
| Şekil 3.8: İlk Kademe Eş Bağlantı Bloğu ve Bloğun İki Farklı Basamakta Kullanımı<br>.....                      | 40 |
| Şekil 3.9: Kogge-Stone Toplama Devresi Şematiği .....                                                          | 41 |
| Şekil 3.10: H-Ağaç Saat Darbesi Dağıtım Devresi. ....                                                          | 42 |
| Şekil 3.11: Kogge-Stone Toplama Devresi Verilog Testi Giriş Sinyalleri Grafiği ...                             | 43 |
| Şekil 3.12: Kogge-Stone Toplama Devresi Verilog Testi Çıkış Sinyalleri Grafiği ...                             | 43 |
| Şekil 3.13: İstatistiksel Zamanlama Analizi ve Sayısal Benzetim Aracı Sonuçları...                             | 44 |
| Şekil 3.14: Kogge-Stone Toplama Devresi Layoutu. ....                                                          | 45 |
| Şekil 4.1: 8 bitlik dalga boru hatlı Kogge Stone Toplama Devresi Mikro-fotoğrafı .                             | 47 |

## KISALTMALAR

|              |                                                                                  |
|--------------|----------------------------------------------------------------------------------|
| <b>CPU</b>   | Merkezi İşlem Birimi (Central Processing Unit)                                   |
| <b>ALU</b>   | Aritmetik Mantık Birimi (Arithmetic Logic Unit)                                  |
| <b>BCS</b>   | Bardeen Cooper Schrieffer                                                        |
| <b>SQUID</b> | Süperiletken Kuantum Girişim Cihazı (Superconductor QUantum Interference Device) |
| <b>SFQ</b>   | Tek Akı Kuantası (Single Flux Quanta)                                            |
| <b>RSFQ</b>  | Hızlı Tek Akı Kuantum (Rapid Single Flux Quantum)                                |
| <b>JJ</b>    | Josephson eklemi (Josephson Junction)                                            |
| <b>JTL</b>   | Josephson İletim Hattı (Josephson Transmission Line)                             |
| <b>DFD</b>   | D flip flop                                                                      |
| <b>PTL</b>   | Pasif İletim Hattı (Passive Transmission Line)                                   |
| <b>PSO</b>   | Parçacık Sürü Eniyilemesi (Particle Swarm Optimization)                          |
| <b>STATS</b> | İstatistiksel Zamanlama Analiz Aracı (Statistical Timing Analysis Tool for SFQ)  |

## İNGİLİZCE TERİMLER LİSTESİ

|                                            |                                     |
|--------------------------------------------|-------------------------------------|
| <b>Ayırıcı</b>                             | Splitter                            |
| <b>Tampon</b>                              | Buffer                              |
| <b>Birleşimsel</b>                         | Combinational                       |
| <b>Eşevreli</b>                            | Coherent                            |
| <b>Üretme</b>                              | Generate                            |
| <b>Yayma</b>                               | Propagate                           |
| <b>Gri Önek Hücresi</b>                    | Grey Prefix Cell                    |
| <b>Siyah Önek Hücresi</b>                  | Black Prefix Cell                   |
| <b>Dalga Boruhattı</b>                     | Wave Pipeline                       |
| <b>Benzetim</b>                            | Simulation                          |
| <b>Hızlı Tek Akı Kuantum</b>               | Rapid Single Flux Quantum           |
| <b>Süperiletken Kuantum Girişim Cihazı</b> | Superconductor QUantum Interference |
| <b>Device</b>                              |                                     |

# 1 GİRİŞ

## 1.1 İŞLEMCİ

Merkezi İşlem Birimi (CPU) bilgisayarın içerisindeki yazılıma göre, basit aritmetiksel, mantıksal işlemleri ve giriş-çıkış yönergelerini gerçekleştiren sistemin en önemli fiziksel donanımıdır.

Hesaplama işlemlerini kolaylaştırmak için çeşitli cihazların tasarımı, insanlık tarihinde çok eski zamanlarına kadar uzanır. Bilinen en eski araçlar olan sayım çubukları [1] ve Babil Abaküsü sonrasında MÖ 2400 tarihleri itibarıyla kullanıldığı bilinen, 10'luk tabanda basit işlemleri yapabilen ve ilk taşınabilir hesaplama cihazı olarak kabul edilen Roma Abaküsü'ne [2] ilham olmuştur. 16. yüzyılın sonlarına doğru İskoç fizikçi ve matematikçi John Napier çarpma ve bölme işlemlerinin sonucunu sırasıyla, sayıların logaritmik ifadelerinin toplanması ve çıkarılmasıyla bulunabileceğini keşfeder. Bu keşif, yeni hesaplama araçlarının önünü açmıştır [3]. 1620'li yıllarda Edmund Gunter'in Oxford Üniversitesinde geliştirdiği tek logaritmik ölçekli hesaplama cihazı olan Numaralar Dizisi, matematiksel işlemleri oldukça kolaylaştırmış ve 1970'lere kadar kullanılmıştır.

1645 yılında Blaise Pascal ilk mekanik hesap makinesini keşfetmiştir [4]. Pascaline isimli bu mekanik hesap makinesi toplama ve çıkarma işlemlerini mekanik olarak yapabilmektedir. 1670 yılında Alman matematikçi ve filozof Gottfried Wilhelm von Leibniz ise Pascaline'a çarpma ve bölme işlemlerini yapabilme özelliğini de ekleyerek Basamaklı Sayıcı'yı (Stepped Reckoner) icat etmiştir [5]. Leibniz aynı zamanda günümüzde kullanılan ikilik numaralandırma sisteminin de mucididir.

1801 yılında ise Joseph-Marine Jacquard darbeli kartlarla (Şekil 1.1) kontrol edilebilen bir dokuma tezgâhı tasarlamıştır [6]. Tasarlamış olduğu dokuma tezgâhı, sadece darbeli kartın değiştirilmesi ile farklı desenlerde dokuma yapabilmektedir. Darbeli

kartla yapmış olduğu bu tasarım programlamaya ilk örneklerden biridir. İlerleyen yıllarda bu kartlar ile veri depolama, toplama, çıkartma, sonuçları yazdırma gibi basit işlemler gerçekleştirilmeye başlanmıştır [7].

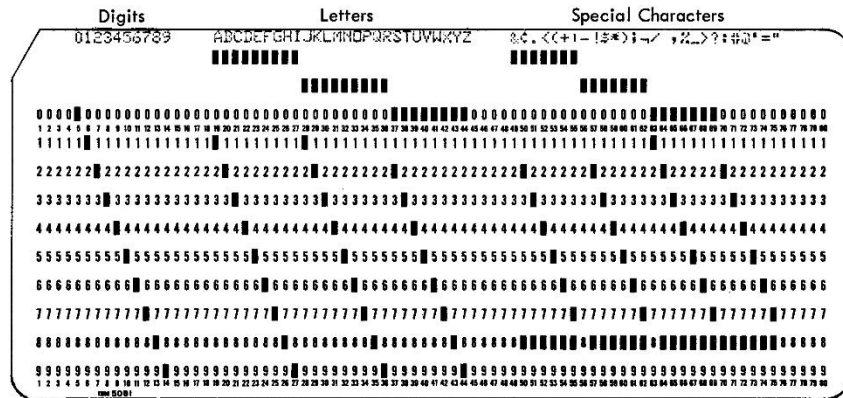


Figure 4. Card Codes and Graphics for 64-Character Set

Şekil 1.1: Darbeli Kart Örneği [8]

İngiliz mekanik mühendisi ve bilge Charles Babbage 19. Yüzyıl başlarında ulaşım hesaplamaları için geliştirdiği devrim niteliğindeki ilk mekanik bilgisayar olan Fark Motoru üzerinde çalışırken, daha genel bir tasarımın yapılabileceğini fark etmiştir [9]. Böylece ilk Genel Amaçlı Hesaplama Aracı olarak Analitik Motoru keşfetmiştir. Darbeli kartlarla işlem yapabilen bu mekanik cihaz, içerisinde hafıza, aritmetik mantık birimi ve akış kontrolü gibi günümüzün bilgisayarlarının da temellerini oluşturan birleşenleri içerir. Charles Babbage bu icadından ötürü bilgisayarın babası olarak kabul edilir [10].

1903 yılında Nikola Tesla'nın elektrikli mantık devrelerini kapı ve anahtar olarak tanımlayarak patentini alması [11], [12] ile mekanik bilgisayarlardan elektrik ile çalışan bilgisayarlara geçişin temelleri atılmıştır. İlk bilgisayarlarda, çok fazla enerji tüketen, fazla yer kaplayan ve zamanın teknolojisi nedeniyle pahalı bir donanım olan vakum tüpleri kullanılmıştır. İlk işlemciler belli ve tek bir işlemi gerçekleştirmek üzere özgün olarak tasarlanmıştır. Ancak ihtiyaçların çok değişiklik göstermesi, seri üretimde standartlaştırmayı gerektirmiş, bu standardizasyon, ancak transistörün ve

takibinde bütünleşik devrelerin (IC) icadı ile gerçekleşmiştir [13]. İşlemci; Aritmetik ve Mantık Birimi (ALU), komut çözücü (Instruction Decoder), kaydediciler (Registers) ve veri-yolu (Bus) olarak isimlendirilen temel birleşenlerden oluşur. Aritmetik ve Mantık Birimi, mantık ve aritmetik işlemlerinin yapılması için kullanılan sayısal devrelerdir. CPU ve ALU kavramları ilk olarak 1945'te matematikçi John Von Neumann tarafından kullanılmıştır. Bu kavramlar, Neumann'ın daha öncesinde ENIAC için tasarlanan ondalık sayılar yerine, bitleri (ikilik sistemi) kullanan EDVAC isimli yeni bir bilgisayar sistemine önermesi ile ortaya çıkmıştır. ALU günümüzdeki her türlü elektronik kontrolcünün ve işlemcinin temelini oluşturur [14]–[16].

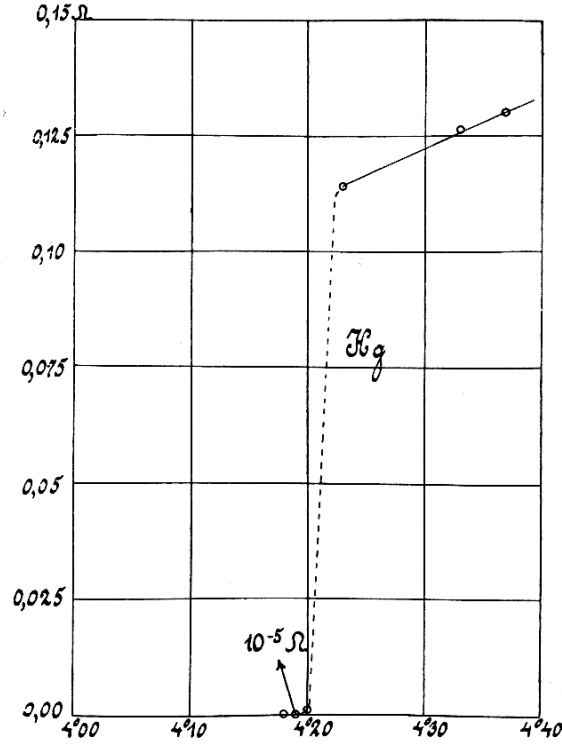
Bilgisayarların ve John Bardeen ve Walter Brattain'ın transistorun [13] icadını takip eden dönemde, işlemci tasarımında önde gelen sorunlardan biri aritmetik ve mantık işlemlerinin hesaplanması olmuştur. Nitekim aritmetik ve mantık işlemleri zaman ve kaynak tüketimi yüksek olan işlemlerdendir [17]. Bu nedenden ötürü, daha kısa sürede daha az saat darbesi kullanılarak, daha fazla hesaplama yapılabilmesini sağlamak üzere özelleştirilmiş mantık devreleri tasarlanmaktadır.

Temel işlemci yönergelerinde en karmaşık ve kaynak tüketen mantık operasyonu toplama işlemidir [18]. Toplama işleminin hızlı çalışmasına en büyük engel, elde bitinin en alt basamaktan en üst basamağa birikimsel olarak taşınmasıdır. Bu sebepten ötürü farklı algoritmalar ile daha hızlı toplama yapabilen dijital devre tasarımları geliştirilmiştir. Bunlardan bir tanesi de Kogge-Stone toplayıcısıdır [19]. Kogge-Stone Toplayıcısı, günümüzde tercih edilen başlıca toplama devreleri ile karşılaştırıldığında, daha düşük katmana sahiptir ve daha az fanout ile daha hızlı bir şekilde toplama işlemi yapabilmektedir [20], [21]. Ancak, tasarımı aşırı kablolamaya ihtiyaç duymaktadır.

## 1.2 SÜPERİLETKENLİK

10 Temmuz 1908 yılında Leiden Üniversitesi'nde Flemenk fizikçi Heike Kamerlingh Onnes'in helyum gazını sıvılaştırmayı başarması ile düşük sıcaklık fiziğinde yeni bir çağ açılmıştır. İlerleyen zamanlarda düşük sıcaklık ortamında gerçekleştirdiği testler

esnasında; 1911 yılında cıva elementinin sıvı helyum ile 4 Kelvin sıcaklığına soğutulması esnasında, elektriksel direncinin 4.2 Kelvin dolaylarında aniden kaybolduğunu fark etmesi ile ilk süperiletkenlik fenomeni gözlemlenmiştir (Şekil 1.2) [22]. Bu keşif Onnes'e 1913 Nobel Fizik Ödülü'nü kazandırmıştır.

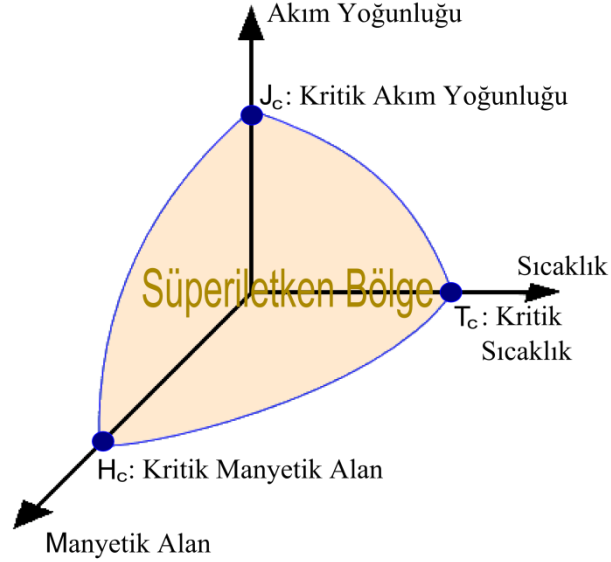


Şekil 1.2: Cıvanın sıcaklık direnç ilişkisi (Heike K. Onnes'un notlarından) [22]

İlerleyen yıllarda ek olarak 20 elementin yeterince soğutulmasıyla süperiletkenlik durumuna geçtiği bulunmuş, süperiletkenlik durumuna geçilme esnasındaki sıcaklık değerine o elementin kritik sıcaklığı ( $T_c$ ) denilmiş ve elementlerin kritik sıcaklıklarının birbirinden farklı olduğu tespit edilmiştir.

Süperiletken durumundaki malzemelerin, kritik sıcaklık değerinin, malzemelerin üzerlerinden geçirilen akıma ve üzerlerine uygulanan manyetik alana bağlı olarak değişiklik gösterdiği tespit edilmiştir. Süperiletken malzemelerin kritik sıcaklık değerinden düşük bir sıcaklık değerinde olmalarına rağmen; üzerlerinden artırılarak

akım geçirilmeye başlandığında, belirli bir kritik akım ( $J_c$ ) değerinin üzerinde süperiletkenlik durumunu yitirdikleri gözlemlenmiştir. Benzer şekilde aynı durumdaki Süperiletken malzemeye uygulanan artan manyetik alan ile belirli bir kritik manyetik alan ( $H_c$ ) değerinin üzerinde malzemelerin aynı şekilde süperiletkenlik durumunu yitirdikleri gözlemlenmiştir. Ayrıca kritik sıcaklık, kritik akım ve kritik manyetik alan değerlerinin birbirlerini etkilediği bulunmuştur. Şekil 1.3'te kritik sıcaklık, kritik manyetik alan ve kritik akım değerlerine bağlı olarak bir süperiletkenin direnç göstermediği alan ifade edilmektedir.

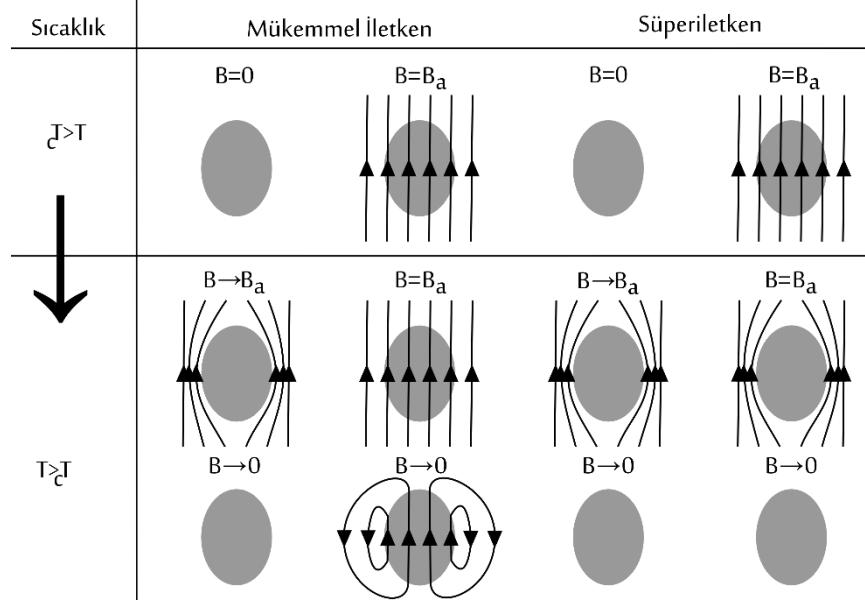


Şekil 1.3: Süperiletkenlik Durumunun Kritik Akım, Kritik Sıcaklık ve Kritik Manyetik Alan ile İlişkisi

İlerleyen yıllardaki teknolojik gelişmeler, düşük sıcaklık testleri için gereken kriyojenik donanımların kullanımını yaygınlaştırmıştır. 1933 yılında ise Walter Meissner ve Robert Ochsenfeld, düşük manyetik alanda, süperiletken malzemenin; mükemmel iletkenin (sıfır dirence sahip iletken) aksine, manyetik akıyı iç bölümlerde muhafaza etmediğini, hatta dışarı attığını keşfettiler. Meissner ve Ochsenfeld süperiletken malzemeye, soğutarak süperiletken durumuna geçirmeden önce, süperiletkenliği bozmayacak seviyedeki bir manyetik alana maruz bırakmışlardır. Süperiletken durumuna geçen bu malzemenin, manyetik alanı dışarladığını ve



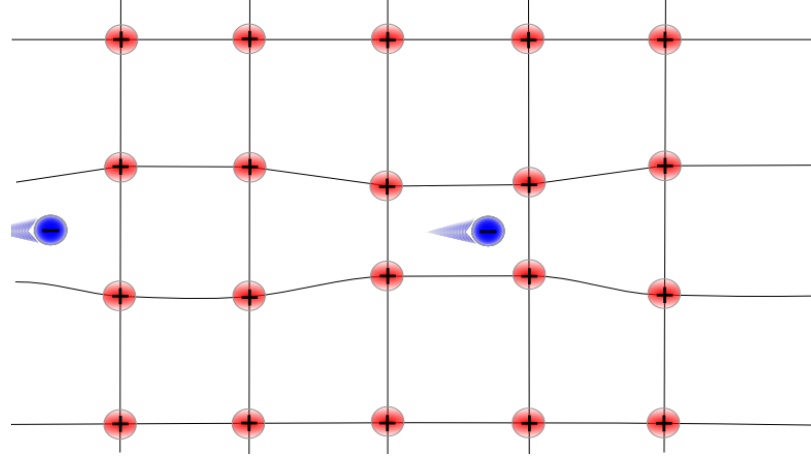
durumunu korumak için yüzeyinde kalıcı akım oluşturduğunu keşfetmişlerdir (Şekil 1.4) [23]. Meissner Etkisi olarak adlandırılan bu mükemmel diamanyetizma özelliği sayesinde süperiletken malzemeler günümüzde; Maglev trenlerinde, yüksek verimli elektrik motorlarında ve diğer benzeri endüstriyel alanlarda kullanılmaktadır.



Şekil 1.4: Meissner Etkisi - Mükemmel İletken ile Süperiletken Karşılaştırması [24]

Süperiletkenlik durumu teorik olarak ancak 1957 yılında John Bardeen, Leon Cooper ve John Schrieffer tarafından açıklanabilmiştir. BCS Teorisine göre; süperiletken bir malzeme içerisindeki elektron, daha düşük enerji seviyesine sahip olabilmek için etrafındaki pozitif yüklü iyonlarla etkileşir. Bu etkileşim süperiletken durumundaki malzeme içerisindeki kristal örgüsünde kusurlara neden olur (Şekil 1.5). Kristal örgüsünde oluşan bu kusurlar, süperakım yönünde dalgalanmalara, yoğun pozitif bir alanların oluşmasına ve bu pozitif alanlardan ötürü elektron çiftleri arasında dolaylı bir çekim kuvveti oluşmasına sebep olur. Cooper çiftleri olarak adlandırılan bu elektronların oluşturduğu süperakımlar düşük değerlerde direnç göstermeden süperiletken içerisinde elektriksel iletimi sağlarlar. BCS Teorisi olarak adlandırılan bu çalışma ile John Bardeen, Leon Cooper ve John Schrieffer 1972 Nobel Fizik Ödülü'nü

kazanmışlardır. Bu teori saf süperiletken elementler göz önüne alındığında günümüzde de geçerliliğini korumaktadır. [25]



Şekil 1.5: Cooper Çiftleri - Çok düşük sıcaklıklarda, elektron pozitif iyonları kendi üzerine çekebilir. Bu çekim ile birbirine yaklaşan pozitif iyonlar, o bölgede pozitif bir alan oluşturur. Oluşan alan ikinci bir elektronu kendi içine çeker.

1962 yılında Brian David Josephson teorik bir öngöründe bulunmuştur. Josephson'a göre aralarında ince yalıtkan bulunan iki süperiletken arasında Cooper Çiftlerinin iletimi gerçekleşebilir [26]. Daha sonra ispatlanan bu durum Josephson Etkisi olarak adlandırılmış; oluşan yapıya Josephson Eklemleri (JJ) denilmiş ve bu öngörüsü ile Josephson, 1973 Nobel Fizik Ödülü'nü kazanmıştır. Josephson Eklemleri ile süperiletken elektronik uygulamalar gerçekleştirilebilir olmuş, kuantum mekanik devre olarak adlandırılan Süperiletken Kuantum Girişim Cihazı (SQUID) ve Hızlı Tek Akı Kuantum (RSFQ) mantık devreleri hayata geçirilebilmiştir. SQUID ile  $5 \times 10^{-18}$  Tesla [27] hassasiyetinde manyetik ölçümler yapılabilir olmuş; sağlık sektörü, uzay araştırmaları ve yerküre incelemeleri başta olmak üzere endüstrinin birçok alanında ilerleme sağlamıştır. Ayrıca RSFQ dijital elektronik teknolojisi ile süperiletkenler kullanılarak dijital sinyallerin işlenmesi mümkün olmuştur.

1986 yılında İsviçre'deki IBM Araştırma Laboratuvarında Georg Bednorz ve Alex Müller, Baryum (Ba), Lantan (La), Bakır (Cu) ve Oksijen (O) elementlerinden oluşan

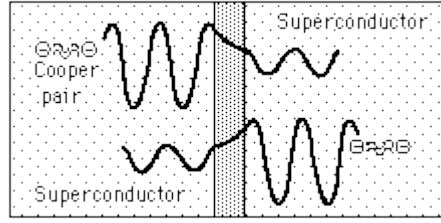
o güne kadarki bilinen en yüksek kritik sıcaklık değeri 30K'e sahip seramik yapıyı sentezlemişlerdir [28]. Böylece yüksek sıcaklık değerine sahip bu seramik yapı ile Tip II adı verilen süperiletkenlik sınıfı doğmuş ve bu seramik yapı Alex Müller ve Georg Bednorz'e 1987 Nobel Fizik Ödülü'nü kazandırmıştır. Seramik malzemenin normalde iletken olmamasına rağmen süperiletkenlik davranışı göstermesi, ilerleyen yıllarda tüm dünyadaki araştırmacıları, gerçekleştirilebilir tüm olasılıklarla seramik sentezlemeye yönlendirmiştir. 1987 yılında Ching-Wu Chu, Alex Müller ile Georg Bednorz'un önceden sentezlediği seramik malzemedeki Lantan elementini İttriyum ile değiştirerek sentezlemesiyle günümüzde YBCO olarak anılan ve 92K kritik sıcaklığı değerine sahip seramik malzemeyi elde etmiştir [29]. Bu değer özellikle soğutma sistemlerinde yaygın olarak kullanılan azotun sıvılaşma derecesi olan 77K'den daha yüksek olması sebebiyle YBCO, günümüzde süperiletkenliğe ihtiyaç duyulan uygulamalarda en çok tercih edilen malzemelerden biri haline gelmiştir.

Geleceğin yüksek performanslı bilgisayar sistemlerinde CMOS teknolojisi için enerji tüketimi ciddi bir engel teşkil etmektedir. Ancak düşük enerji tüketimi sayesinde RSFQ teknolojisini temel alan devreler, bir sonraki nesil VLSI teknolojisi olarak öngörülmektedir. Bu teknoloji; durumlar arasındaki düşük enerji seviyesi farkı, yüksek operasyon ve iletim hızının yanı sıra, düşük enerji tüketimi vaat etmektedir [30]–[35].

## 2 TEORİ

### 2.1 Josephson Etkisi

Josephson Etkisi, iki süperiletken malzemenin arasına süperiletken olmayan ince başka bir malzeme konulduğunda ve uygun koşullar sağlandığında gerçekleşen bir olgudur. Bu olguda süperiletken olmayan malzeme, yalıtkan davranması gerekirken, Cooper Çiftlerini tünelleme yöntemiyle içerisinden geçirir (Şekil 2.1).



Şekil 2.1 Cooper Çiftleri ve Tünelleme [36]

Elektronların bu geçişi ancak kuantum etkileri ile Schrödinger denklemleri kullanılarak açıklanabilir. İki süperiletken malzemenin kuantum mekaniği dalga fonksiyon dinamikleri olarak  $\Psi_1$  ve  $\Psi_2$  eşitlikleri (1) ve (2)'de verilmiştir.

$$i\hbar \frac{\partial \Psi_1}{\partial t} = \mu_1 \Psi_1 + K \Psi_2 \quad (1)$$

$$i\hbar \frac{\partial \Psi_2}{\partial t} = \mu_2 \Psi_2 + K \Psi_1 \quad (2)$$

(1) ve (2)'de bulunan  $K$ , yalıtkan malzeme üzerindeki Cooper çiftlemesini,  $\mu_1$  ve  $\mu_2$  ise her iki taraftaki en düşük enerji durumunu temsil eder. (1) ve (2)'ye ek olarak, (3) ve (4)'ü yazabiliriz.

$$\psi_1 = \sqrt{n_1} e^{i\theta_1} \quad (3)$$

$$\psi_2 = \sqrt{n_2} e^{i\theta_2} \quad (4)$$

(3) ve (4)'teki  $n_1$  ve  $n_2$  Cooper çiftleri yoğunluğunu ve  $\theta_1$  ile  $\theta_2$  de dalgaının fazını ifade eder. Bu üç denklem kullanılarak (5) ve (6) yazılabilir.

$$\hbar \frac{\partial n_1}{\partial t} = -\hbar \frac{\partial n_2}{\partial t} = 2K \sqrt{n_1 n_2} \sin(\theta_2 - \theta_1) \quad (5)$$

$$-\hbar \frac{\partial}{\partial t} (\theta_2 - \theta_1) = \mu_2 - \mu_1 \quad (6)$$

Bu denklemler Josephson etkisini ifade eden temel denklemlerdir. Daha basitçe ifade edebilmek için Cooper çiftleri yoğunluğunun türevi olan akım (7)'de gösterilmektedir.

$$I = \frac{\partial n_1}{\partial t} \quad (7)$$

Süperiletken malzemelere  $V$  gerilimi uygulandığında enerji seviyesindeki artış (8)'de gösterilmektedir.

$$\mu_2 - \mu_1 = 2eV \quad (8)$$

$$I_0 = \frac{2K \sqrt{n_1 n_2}}{\hbar} \quad (9)$$

$$\delta = \theta_2 - \theta_1 \quad (10)$$

(9) ve (10)'u (6)'da yerine koyarak yazdığımızda (11) ve (12)'yi elde etmiş oluruz.

$$I = I_0 \sin \delta \quad (11)$$

$$\frac{\partial \theta}{\partial t} = \frac{2eV}{\hbar} \quad (12)$$

Elde edilen bu denklemler Josephson Eklemi genel teorisinin temel sonuçlarıdır. Akım  $I$ , Josephson akımı ya da süperakım olarak isimlendirilir. Doğrusal olmayan akım-voltaj ilişkisi kullanılarak DC ve AC Josephson Etkileri açıklanabilir. [37]

### 2.1.1 DC Josephson Etkisi

(11) ve (12)'de de görüldüğü üzere herhangi bir gerilim farkı olmaksızın  $I_0$  değerinden küçük akım değerlerinin Josephson Eklemi üzerinden geçebileceği görülmektedir. Bu etkiye DC Josephson Etkisi denir. Josephson Eklemi boyunca taşınabilen  $I_0$  akım miktarı, (9)'da da görüldüğü üzere iki süperiletken malzeme arasındaki etkileşime ve aralarındaki süperiletken olmayan malzemenin kalınlığına bağlıdır. [37]

### 2.1.2 AC Josephson Etkisi

Josephson eklemine bir DC  $V_0$  gerilimi uygulandığında ya da  $I_0$  değerinden yüksek bir DC akım uygulandığında (11) ve (12)'den, (13) elde edilir.

$$I = I_0 \sin \left( \frac{2eV_0}{\hbar} t \right) \quad (13)$$

Gerilim uygulanmasıyla, Josephson akımı (14)'de verilen frekans değerinde salınır. [37]

$$f = \frac{2eV_0}{\hbar} \quad (14)$$

$2e/\hbar$  değeri sabittir ve  $483.6GHz/mV$ 'a eşittir. AC Josephson Etkisinin bu özelliği gerilim standardının belirlenmesi için kullanılabilir [38], [39].

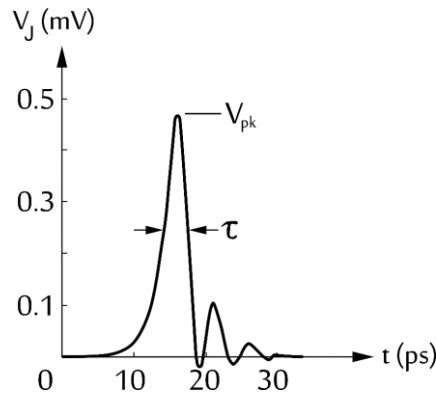
## 2.2 SFQ Devre Elemanları

Süperiletken alanında, DC Josephson etkisinden yararlanılarak, son yıllarda üzerinde en yoğun çalışılan konulardan biri de Josephson dijital devreleridir.

1985 yılında Josephson dijital devrelerdeki verinin, yarıiletken teknolojisindeki gibi sadece DC gerilim ile ifade edilmediği keşfedilmiştir [30]. SFQ'da dijital veri olan her bir manyetik akı kuantası; pikosaniyelik, sabit alanlı  $V(t)$  geriliminden oluşmaktadır.

$$\int V(t) dt \equiv \Phi_0 \cong \frac{\hbar}{2e} \simeq 2.07mV \times ps \quad (15)$$

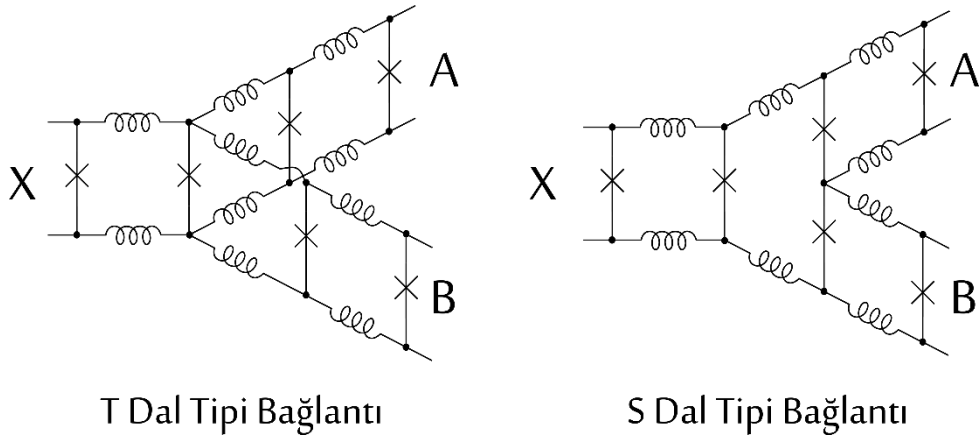
(15)'te de görüldüğü üzere her bir manyetik akı kuantası taşıyan sabit alanlı voltaj darbelerinde, darbe süresinin ( $\tau$ ) değişmesi ile gerilim değeri ( $V_{pk}$ ) de değişir ancak Şekil 2.2'deki SFQ darbesinin şekil olarak yapısı değişse bile darbe sinyalinin enerjisi sabit olduğu için, altında kalan alan değişmez.



Şekil 2.2: SFQ Darbesi [40]

Günümüzde kullanılan güncel RSFQ devrelerinin temeli 1991 yılına dayanmaktadır [30]. Temel prensipte çalışma prensibi, SFQ darbelerinin peş peşe bağlanmış Josephson Eklemleri döngülerinin işleme (manipulation) ve depolama prensiplerine dayanır [41].

Josephson Eklemlerinin seri ve paralel bağlanması ile oluşturulan döngüler aracılığıyla; T-Dal tipi ve S-Dal tipi bağlantılar kullanılarak mantık işlemleri gerçekleştirilebilir (Şekil 2.3). Bu temel yapılardan T-Dal tipi bağlama devresine, düşük besleme gerilimi uygulanmasıyla VE (AND) mantık kapısı fonksiyonunun gerçekleştirilmesinin yanı sıra, yüksek besleme gerilimi uygulanarak da fanout sağlanır. Diğer bit temel yapı olan S-Dal tipi bağlantı kullanılması, bağlantı kollarının bir araya getirilmesini ya da bağlantı kollarının iletilmesindeki hat seçimini sağlar. [40]



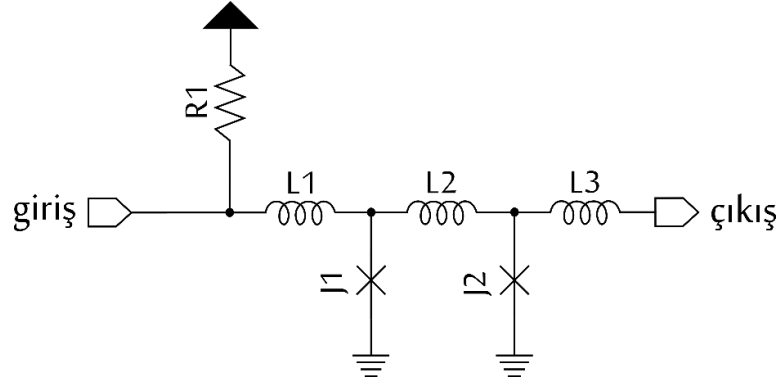
Şekil 2.3: T Dal Tipi ve S Dal Tipi Josephson Bağlantıları [40]

### 2.2.1 Josephson İletim Hattı (JTL)

Josephson Eklemleri kullanılarak oluşturulan bu döngüler, akının tek bir döngüde depolanmasını önlemek için  $L \times I_c = \Phi_0/2$  ile tasarlanmıştır. Bu tasarım SFQ darbesinin gelmesi durumunda Josephson eklemesinde faz kaymasının oluşabilmesinin sağlanması açısından gereklidir. Hat, DC besleme akımı ile beslenir. Böylece SFQ



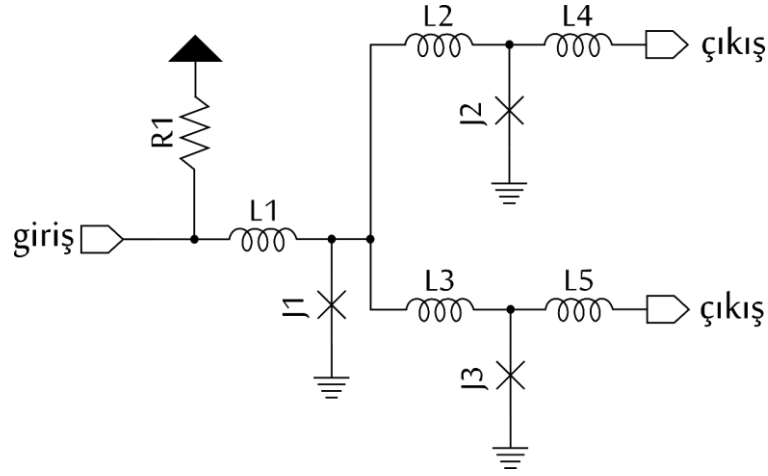
darbelerinin hat boyunca ilerlemesi sağlanmış olunur. Bu çalışma prensibi Josephson İletim Hattı'nın temelini oluşturur (Şekil 2.4).



Şekil 2.4: Josephson İletim Hattı Devre Şematiği

### 2.2.2 Ayırıcı (Splitter)

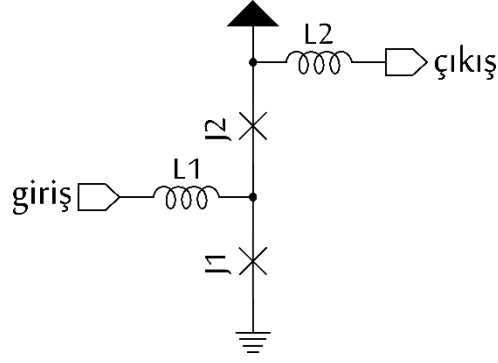
Tek bir sinyalin birden fazla noktaya iletilmesi ve işlenmesi gerekliliği sebebiyle sinyallerin fanoutu dijital devrelerde genel bir ihtiyaçtır. Nitekim tek manyetik akı kuantası taşıyan voltaj darbelerinin alanları sabit olduğundan fanout için RSFQ devrelerinde ayırıcı kullanılması gerekmektedir (Şekil 2.5). Ayırıcıya giren SFQ darbesi, besleme akımı tarafından kritik akım değerine yakın bir değerde tutulan J1, eklemine tetikler. Bu tetikleme ile oluşan voltaj darbesi, L2 ve L3 üzerinden ilerleyerek, kritik akıma daha yakın akım değerine sahip J2 ve J3 eklemlerini tetikler. Burada dikkat edilmesi gereken, tek girişten iki çıkış darbesinin alınması için gereken enerjinin, besleme akım kaynaklarından sağlanmakta olduğudur. [40]



Şekil 2.5: Çoklayıcı Devre Şematığı

### 2.2.3 Tampon (Buffer)

Josephson Dijital Devreleri kutupsal yapıda olmadıklarından, giriş tarafını tersten gelebilecek bir darbeye karşı koruyamaz. Çıkış kısmında ilerleyen bir darbe, kritik akım değerine sahip bir Josephson eklemine ters taraftan uyararak eşik değeri geçmesine sebep olabilir. Böyle bir durumda terse yansıma yaparak bloğun yanlış çalışmasına veya çalışmamasına sebep olabilir. Bu tarz hataları önlemek amacıyla Tampon devresi kullanılır (Şekil 2.6) [30]. Tampon devresinin içerisindeki J2 Josephson Eklemine kritik akım değeri, J1 Josephson Eklemine kritik akım değerinden daha küçüktür. Girişten uygulanan SFQ darbesi J1 eklemine anahtarlar ancak besleme gerilimi tersten akan J2 eklemine anahtarlayamaz ve L2 üzerinden çıkar. Ancak tersten bir yansıma olduğunda ise J2 anahtarlanarak direnç gösterir ve SFQ darbesini aşağı yönde iletmez. Böylece SFQ darbesinin giriş tarafına geçmesi önlenmiş olur.



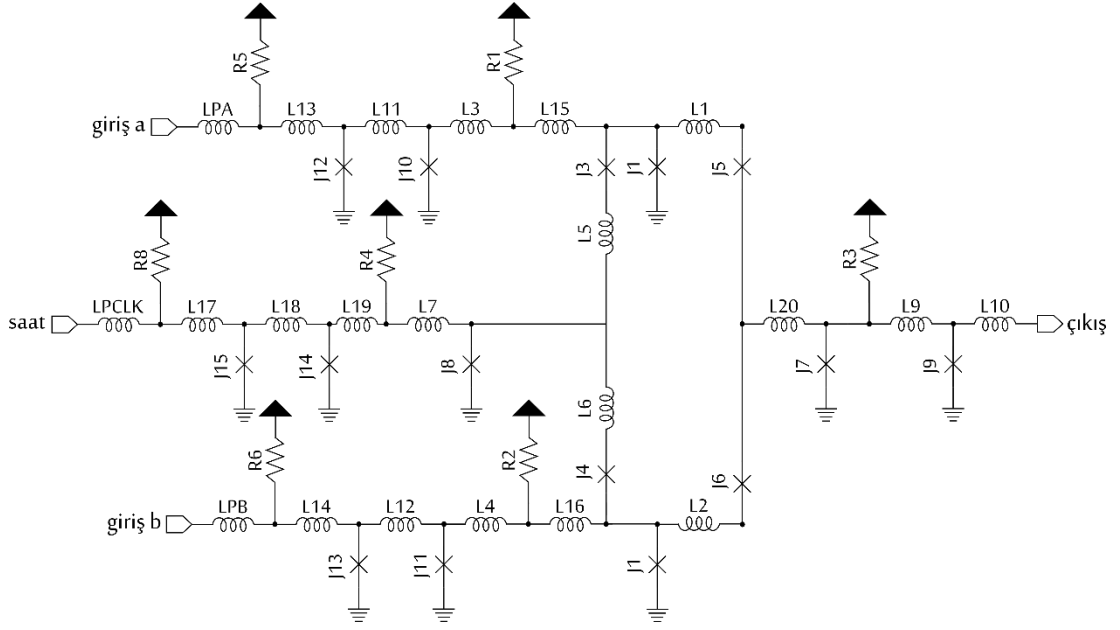
Şekil 2.6: Basit Tampon Devresi -  $I_{c1} = 1.4 \times I_{c2}$ ,  $I_b = 0.7 \times I_{c2}$  [40]

## 2.2.4 Mantık Kapıları

Sabit alanlı SFQ darbeleri (Şekil 2.2), kapı içerisine girdiklerinde, döngülerde saklanarak kapının durağan durumunu değiştirir. Döngüdeki SFQ darbesi, saat darbesi gelmesi ile saklandığı döngüden ayrılır. Saat darbesi sonrasında ise kapı pikosaniyeler içerisinde ilk durağan durumuna geri döner.

### 2.2.4.1 VE (AND) Mantık Kapısı

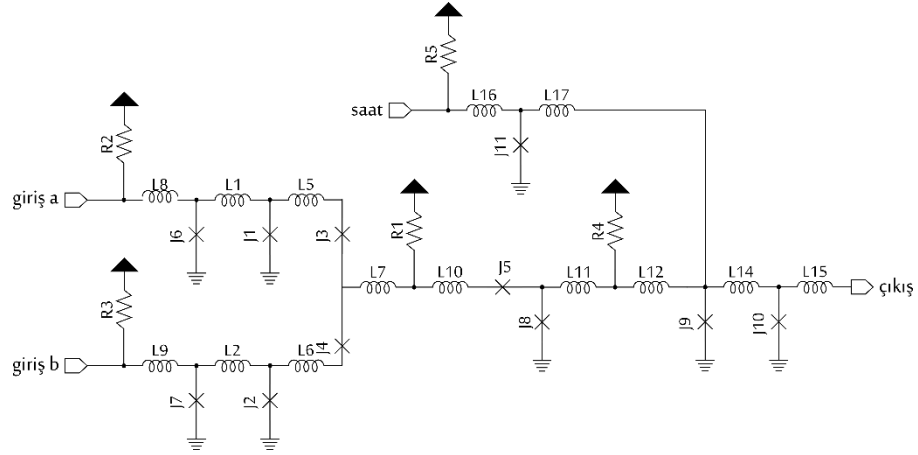
VE Mantık kapısı (Şekil 2.7) iki adet D flip-flop (DFF) devresinin [30] birleştirilmesinden oluşur. DFF, depolama olarak kullanılabilen ve 1 bitlik veriyi saklayabilen en basit devre elemanıdır. DFF'e giren SFQ darbesi ancak saat darbesi geldiğinde çıkabilir. Şekil 2.7'de ve mantık kapısı görülmektedir. Eğer girişlerin herhangi birinden SFQ darbesi gelmezse ya da sadece tek biri girişten gelirse, yüksek R3 değerinden ötürü düşük besleme akımına sahip olan J7 anahtarlanamaz. Ancak her iki girişten de SFQ darbesi geldiğinde J1 ve J2 aynı anda anahtarlanır, bu durumda da J5 ve J6 üzerinden geçen SFQ darbeleri J7'nin anahtarlanması için gereken değere ulaşmasını sağlamış olur. Bu sayede de çıkıştan SFQ darbesi çıkar.



Şekil 2.7: VE Mantık Kapısı Devre Şematiği

#### 2.2.4.2 VEYA (OR) Mantık Kapısı

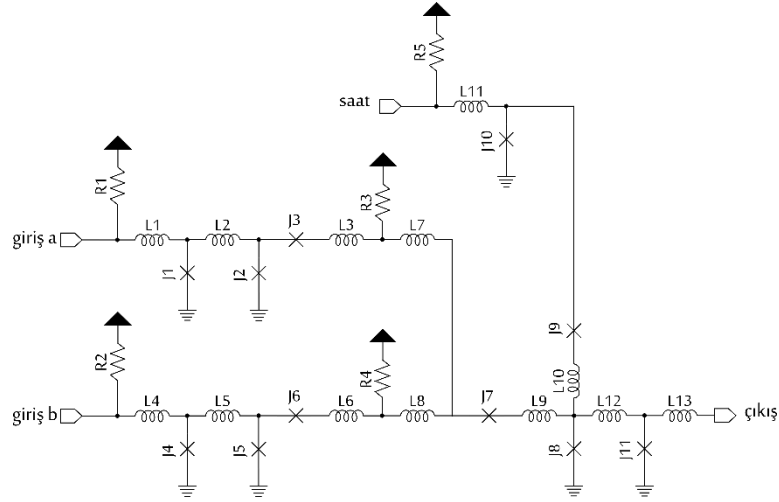
VEYA mantık kapısında (Şekil 2.8) ise girişlerin herhangi birinden veya ikisinden gelen SFQ darbeleri, saat darbesinin gelmesiyle J8 üzerinden J9'un anahtarlanması sağlar. Böylece çıkıştan SFQ darbesi çıkar.



Şekil 2.8: VEYA Mantık Kapısı Devre Şematığı

#### 2.2.4.3 ÖZEL VEYA (XOR) Mantık Kapısı

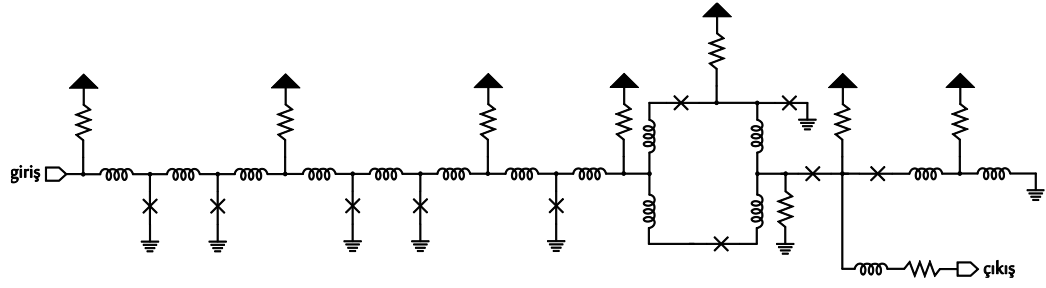
ÖZEL VEYA (XOR) kapısı simetrik girişlere sahiptir ve sadece girişlerin birinden SFQ darbesi geldiğinde, örneğin; “a” girişinden geldiği durumda J2-J8, “b” girişinden geldiği durumda ise J5-J8 üzerinde akı depolar (Şekil 2.9). Depolanan akı saat darbesi ile çıkıştan çıkar. Ancak her iki girişten SFQ darbesi verildiğinde, saat darbesinin gelmesiyle R1 direnci üzerinden besleme akımı verilen J5 eklemi, aynı yönden gelen SFQ darbeleri ile anahtarlanır ve direnç durumuna geçerek SFQ darbesini üzerinde sönmümler. Bu durumda da çıkışta herhangi bir SFQ sinyali görülmez.



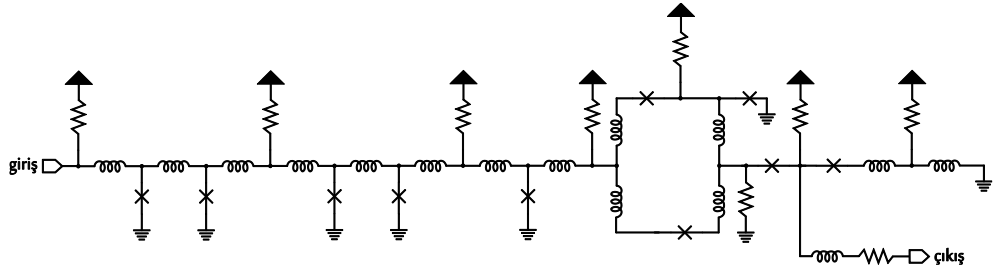
Şekil 2.9: ÖZEL VEYA Mantık Kapısı Devre Şematığı

### 2.2.5 DC-SFQ ve SFQ-DC Devreleri

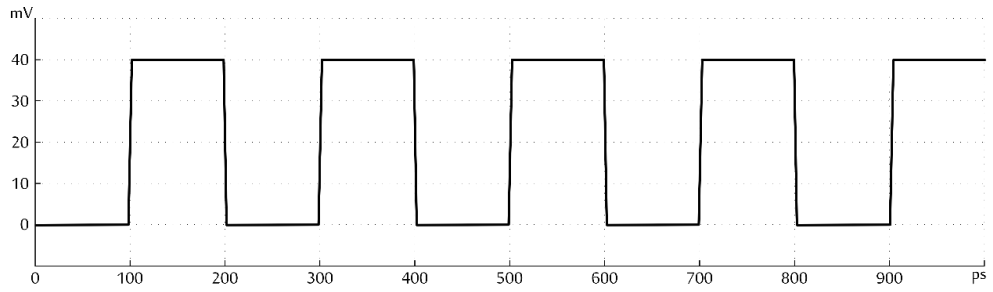
SFQ darbelerinin yaklaşık olarak  $2.07mV \times ps$ 'lik sabit nicelik alana sahip olmasından ötürü, bu darbelerin üretilerek devreye verilmesi ve devreden alınarak analiz edilmesi ciddi zorluk teşkil eder. Piko-saniyelik bu SFQ darbelerinin günümüz teknolojisi ile laboratuvar ortamında daha rahat uygulanabilmesi ve analiz edilebilmesi için özel devreler tasarlanmıştır. Günümüzde kullanılan bu devrelerden DC-SFQ Devresi (Şekil 2.10), kare dalga olarak verilen bir giriş sinyalini SFQ darbesine çevirirken (Şekil 2.12); SFQ-DC Devresi (Şekil 2.11) ise devre çıkışındaki SFQ darbesini kare dalgaya çevirir (Şekil 2.13). Bu devrelerin kullanılması ile SFQ dijital devreleri gerçekleştirilebilmiştir [30].



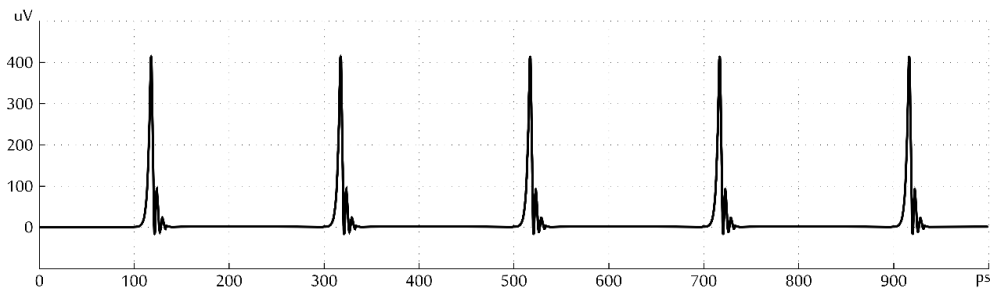
Şekil 2.10: DC-SFQ Devre Şematiği



Şekil 2.11: SFQ-DC Devre Şematiği

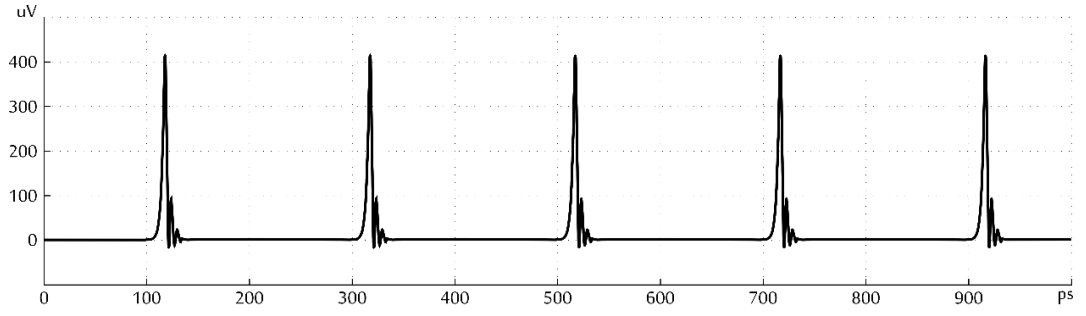


DC-SFQ girişinden uygulanan sinyal

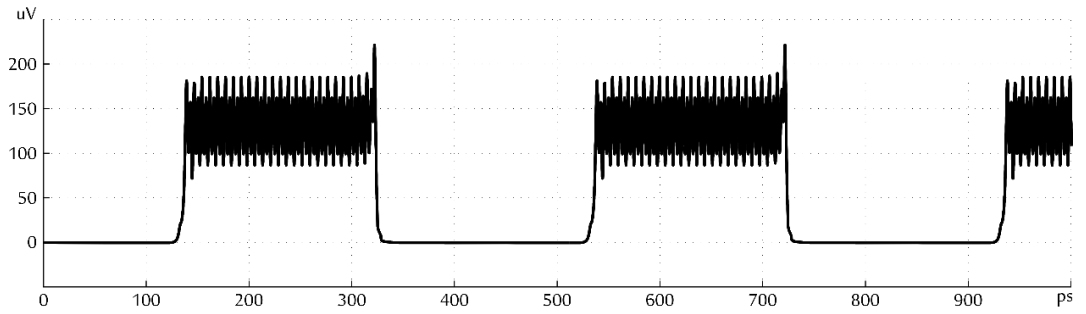


DC-SFQ çıkışında oluşan SFQ Darbesi

Şekil 2.12: DC-SFQ Devresi Giriş Çıkış Sinyal İlişkisi



SFQ-DC girişinden uygulanan SFQ Darbesi



SFQ-DC çıkışında oluşan sinyal

Şekil 2.13: SFQ-DC Devresi Giriş Çıkış Sinyal İlişkisi

## 2.3 Toplama İşlemi ve Modelleri

Herhangi bir tabanda yapılan düz toplama işleminde, işleme en sağdaki basamaktan başlanması gerekmektedir. Aynı basamaktaki değerler toplanır. Toplama sonucunda elde edilen değer, taban değerini aşarsa, tabanı aşan kat sayı değeri bir sol sütuna aktarılırken, tabanı aşmayan kısım toplama işlemi sonucu olarak yazılır. Bir üst basamağa aktarılan değer olan elde, o basamağın toplama işlemi sonucuna eklenmelidir. Bu yöntemin en sağdaki basamaktan başlanarak en soldaki basamağa doğru uygulanmasıyla toplama işlemi tamamlanmış olur.

### 2.3.1 Tam Toplayıcı Mantık Devresi

İkilik sistemde de benzer şekilde, iki tabanındaki iki sayının toplanması; ilgili eş basamaktaki ekleyen sayıdan gelen değer ile eklenen sayıdan gelen değer ve varsa bir



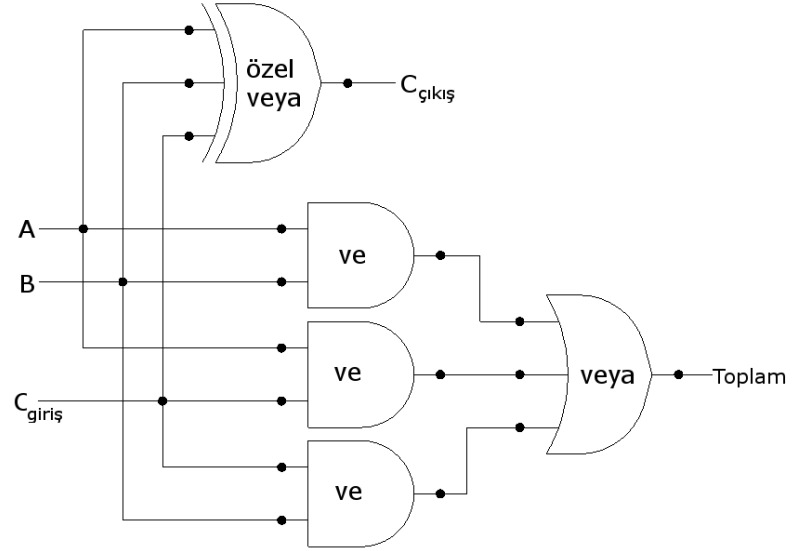
düşük basamaktan gelen elde değerlerinin toplanması ile gerçekleştirilir. Çizelge 2.1’de görüldüğü üzere ikilik sistemdeki değer yalnızca 0 veya 1 değerlerinden birini alabildiği için, sütunların toplamı; her üçü de 0 ise 0, içlerinden biri 1 diğerleri 0 ise 1, sadece biri 0 ise 2, tümü de 1 değerine sahipse de 3 olabilir. Sütunun toplam değeri 0 veya 1 olursa toplama işlemi sonucu ikilik sistem alanı içerisinde olduğundan, bir üst basamağa aktarılacak herhangi bir elde değeri oluşmaz. Toplama işleminin sonucunda 2 veya 3 değerleri elde edilirse, elde oluşur ve oluşan elde bir üst basamağa aktarılmalıdır. Toplama işlemi sonuç değeri 2 ise toplama sonucu olarak ilgili basamağa 0, toplama işlemi sonucu 3 ise toplama sonucu olarak ilgili basamağa 1 yazılmalıdır.

Çizelge 2.1: Toplama İşlemi Tablosu. A ve B ikilik sistem sayılarının elde verisinin de hesaba katılmış toplama işlemi sonuç tablosu

| Giriş |     |             | Çıkış       |          |
|-------|-----|-------------|-------------|----------|
| $A$   | $B$ | $C_{giriş}$ | $C_{çıkış}$ | $Toplam$ |
| 0     | 0   | 0           | 0           | 0        |
| 0     | 0   | 1           | 0           | 1        |
| 0     | 1   | 0           | 0           | 1        |
| 0     | 1   | 1           | 1           | 0        |
| 1     | 0   | 0           | 0           | 1        |
| 1     | 0   | 1           | 1           | 0        |
| 1     | 1   | 0           | 1           | 0        |
| 1     | 1   | 1           | 1           | 1        |

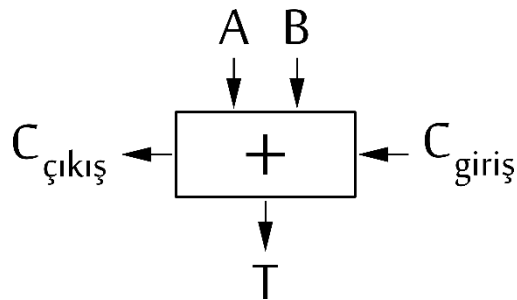
İki tabanındaki hesaplamalarda, toplama ve elde bitlerinin üretilmesi için sayısal mantık devre bileşenleri kullanılabilir. Çizelge 2.1’de gösterildiği üzere, aynı sütunda bulunan ekleyen ( $A$ ) ve eklenen ( $B$ ) değerler ile bir alt basamaktan gelen elde değeri ( $C_{giriş}$ ) tek sayıda 1 içerirse toplam bitinin değeri 1 olmalıdır. Bu bitlerden en az herhangi ikisi 1 olursa elde biti 1 olmalıdır. Şekil 2.14’te de görüldüğü üzere, üç girişli ÖZEL VEYA (XOR) mantık kapısı kullanarak toplama işleminin sonuç biti ile 3 adet VE (AND) mantık kapısı ve devamında 3 girişli VEYA (OR) mantık kapısı

kullanılarak elde biti hesaplanabilir. Bu mantık bloğu, elde bitlerini de hesaba katarak, toplama işlemi için kullanılabilecek en basit mantık devresidir [42].



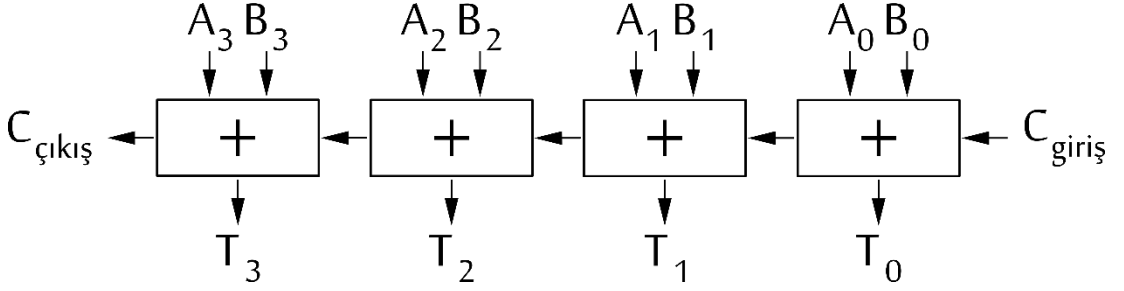
Şekil 2.14: Tam Toplayıcı Bloğu Mantık Devresi

Şekil 2.14'te verilen bir tam toplayıcı bloğu, Şekil 2.15'deki bloğun içerisine gömülmesi ile oluşturulabilir. Ardışık olarak bu blokları kullanılması ile herhangi bir N basamaklı iki sayının toplama işlemi yapılabilir.



Şekil 2.15: 1 bitlik Tam Toplayıcı bloğu

Şekil 2.16’da 4 bitlik bir tam toplayıcı bloğu örneği verilmiştir. Bloktaki giren elde ( $c_{in}$ ) dışarıdan gelen adres taşması(overflow) için ve çıkan elde ( $c_{çıkış}$ ) ise işlem sonucunda oluşabilen adres taşması için kullanılmaktadır.

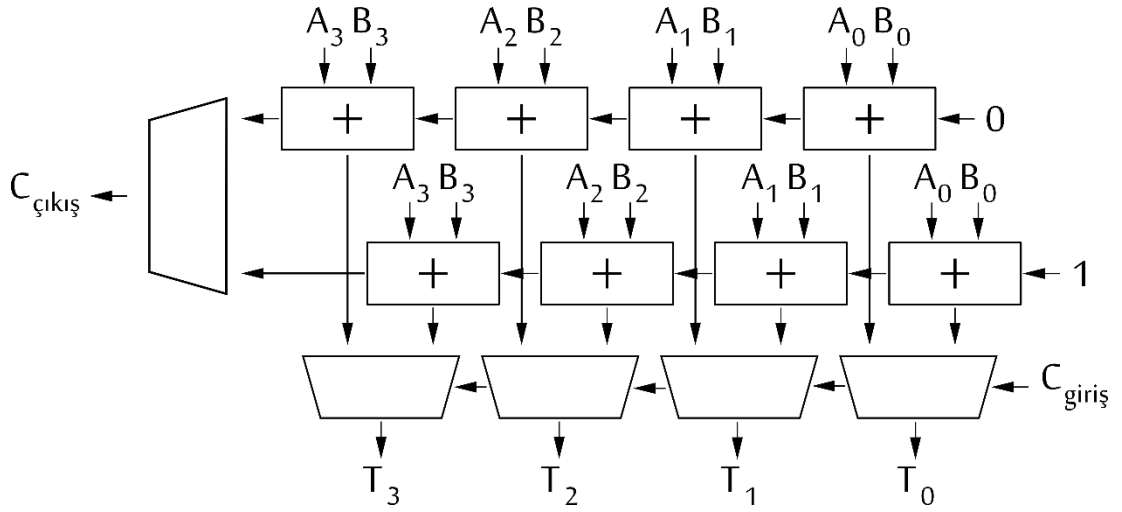


Şekil 2.16: 4 bitlik Tam Toplayıcı Blok Şeması

Ancak toplama işlemi için tam toplayıcı mantık devresinin kullanımı problem teşkil eder. Elde bitinin ilk bloktan son bloğa kadar doğrusal bir şekilde, sırayla hesaplanarak taşınması gereklidir.  $N$  bitlik bir toplama işleminin tamamlanması için elde bitinin her blokta bulunan ardışık iki mantık kapısından geçmesi gerekmektedir. Bu işlemin yapılabilmesi için de  $N \times 2$  kadar kapının açılıp kapanması gibi çok uzun bir süreye ihtiyaç duyulur. Bu sürenin kısaltılması için çeşitli mantık devreleri geliştirilmiştir ve günümüzde de geliştirme süreci devam etmektedir.

### 2.3.2 Koşullu Toplayıcı

1960 yılında Sklansky tarafından çözüm olarak Koşullu Toplayıcı yöntemi öne sürülmüştür. Devredeki blok sayısı artışına katlanılması durumu ile hızlanma sağlanır (Şekil 2.17) [43]. Devrede her bir basamak için bir tam toplayıcı bloğu yerine, iki tam toplayıcı bloğu ve bir adet çoklayıcı (mux) kullanılır. Her bir tam toplayıcı bloğu farklı elde girdisi varsayımıyla toplamı hesaplar. Eş sütunlardaki tam toplayıcı bloklarının çıktıları çoklayıcıya yönlendirilir. Çoklayıcının bir diğer girdisi ise asıl elde bitidir. Bu bitin değerine göre çoklayıcı, aynı elde bitini alarak daha öncesinde sonucu hesaplamış olan bloktan gelen toplama ve taşıma sonuçlarını iletir. Bu işlemde  $N + 2$  adetlik mantık kapısının sırasıyla açılıp kapanmasının beklenmesi gerekmektedir.



Şekil 2.17: 4 bitlik Koşullu Toplayıcı Blok Şeması

Tam Toplayıcı bloklarının kullanımıyla oluşturulan Koşullu Toplayıcı yapısı melez bir yapıya sahiptir. Bu yapı, devre çalışma hızı ile harcanan alana basit bir örnek teşkil eder. Devre sayısındaki azaltma sağlanması ancak hızdan ödün verilmesiyle gerçekleştirilebilir. Ancak devreye yapılan her küçültülme işlemi ile işlem hızı gittikçe azalır ve en sonunda Koşullu Toplayıcı, Tam Toplayıcı haline dönüşür.

### 2.3.3 Üretme ve Yayma Bitleri

Toplama işleminin daha hızlı hesaplanması için diğer bir çözüm de elde bitinin tüm basamaklar için hesaplanmasına gerek olmadığı ve bazı varsayımlarda bulunarak yapılabileceğidir. Bu yöntem 1958'te Weinberger ve Smith tarafından öne sürülmüştür [44]. Çizelge 2.2'de de görüldüğü üzere, ekleyen (A) ve eklenen (B) basamaklar 0 ise giren eldenin ( $C_{giriş}$ ) değerine bakılmadan çıkan elde bitinin 0 olacağı söylenebilir. Yine benzer biçimde eğer her iki basamak da 1 olursa, çıkan elde 1 olur yani kısaca elde biti üretilmiş olur. Bu basamaklardan herhangi biri 0, diğeri 1 ise bu durumda çıkan elde bitinin değeri, giren elde bitinin değerine bağlıdır ve aynı zamanda da eşittir.

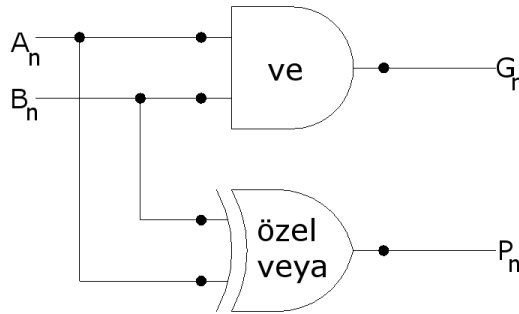
Çizelge 2.2: Elde biti Giriş Çıkış İlişkisi

| Giriş |     | Çıkış       |
|-------|-----|-------------|
| $A$   | $B$ | $C_{çıkış}$ |
| 0     | 0   | 0           |
| 0     | 1   | $C_{giriş}$ |
| 1     | 0   | $C_{giriş}$ |
| 1     | 1   | 1           |

Hesaplamalarda kullanılmak üzere üretme (generate) ve yayma (propagate) bitleri sırasıyla (16) ve (17) ile Şekil 2.18'deki mantık devresi aracılığıyla hesaplanabilir.

$$G = A \times B \quad (16)$$

$$P = A \oplus B \quad (17)$$



Şekil 2.18: Üretme ve Yayma Bitleri Hesaplama Devresi -  $N$ . basamak için üretme ve yayma bitlerinin hesaplanması.

Herhangi bir sütun için elde çıkış bitinin hesabı ise (18) ile bulunur.

$$C_{çıkış} = G + (P \times C_{giriş}) \quad (18)$$

Herhangi bir  $N$ . bitin hesaplanmasında, giriş eldesini bir önceki basamağın çıkış eldesi olarak yazdığımız durumda ise (19) ile elde edilir.

$$C_n = G_n + (P_n \times C_{n-1}) = G_n + P_n \times [G_{n-1} + (P_{n-1} \times C_{n-2})] = \dots \quad (19)$$

Teorik olarak her bir sütun için üretme ve yayma bitlerinin ayrı ayrı hesaplanması ve bu hesaplanan değerlerin  $N + 2$  girdili VEYA (OR) kapısı ile  $N + 1$  girdili VE (AND) kapısı kullanılarak  $N$ . sütun için elde edilebilir. Ancak uygulamada fanin, silikon alanı ve giriş kapasitansı ile sınırlı olduğundan, büyük  $N$  değerleri için ( $N > 2$ ),  $N + 2$  girişli kapıların üretilmesini mümkün değildir [16].

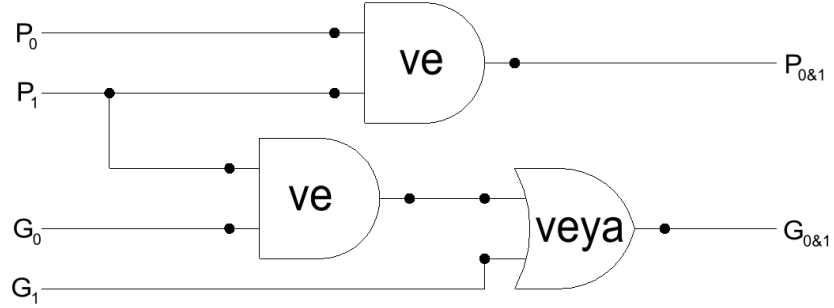
#### 2.3.4 Kogge-Stone Toplayıcısı

1973'te P. M. Kogge ve H. S. Stone, özyinelemeli doğrusal fonksiyon hesaplarının geliştirilmesi olarak tanımlanan, paralel ön ek hesaplamayı ileri sürmüşlerdir [19].

Kogge-Stone Toplayıcısındaki temel fikir, belirlenecek olan mevcut basamağın yayılım ya da üretim yapacağını önceden belirlemeye yöneliktir. Bu belirleme işlemi, bir önceki ve mevcut basamağın yayılım ve üretim bitleri kullanılarak yapılır. Her iki basamağın birlikte düşünülmesiyle oluşturulan blokların, yayılım ve üretim yapıp yapmayacakları (20) ve (21) kullanılarak hesaplanabilir. Bloğun yayılım bitinin 1 olması ancak her iki basamağın da yayılım bitinin 1 olması ile gerçekleşebilir. Bloğun üretim bitinin 1 olması ise blok içerisindeki yüksek değerli basamağın üretim bitinin 1 olması ya da yüksek basamağın yayılım biti ile düşük basamağın üretim bitinin aynı anda 1 olması ile elde edilir. Bu hesaplamanın mantık devresi Şekil 2.19'da bulunmaktadır.

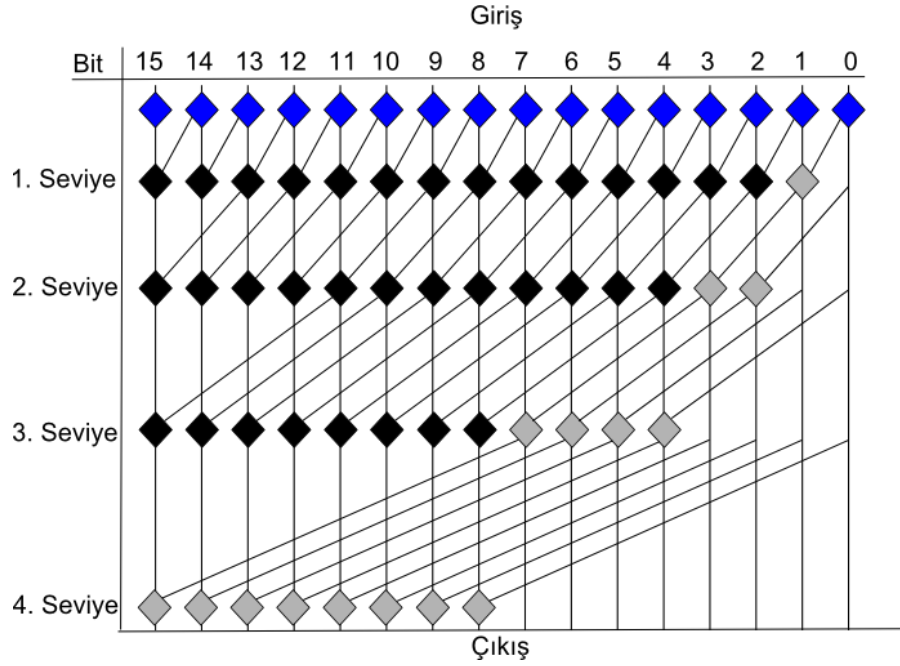
$$G_{0\&1} = G_1 + P_1 \times G_0 \quad (20)$$

$$P_{0\&1} = P_1 \times P_0 \quad (21)$$



Şekil 2.19: Kogge Stone Toplayıcı Bloğu Mantık Devresi - Herhangi iki basamağın üretme ( $G$ ) ve yayma ( $P$ ) bitlerinin kullanılarak birleştirilmiş üretme ( $G_{0\&1}$ ) ve yayma ( $P_{0\&1}$ ) bitlerinin hesaplanması

Bu blokların 16 bitlik bir toplama mantık devresindeki özyinelemeli birleşimi Şekil 2.20’de yer almaktadır. Mavi ile gösterilen hücreler kullanılarak üretme ve yayma bitleri Şekil 2.18’deki mantık devre bloğunun kullanılmasıyla hesaplanır. İlerleyen seviyelerde ise Şekil 2.19’daki mantık bloğu aracılığıyla; birbirine bağlanmış basamakların gri hücre kullanılan konumlarında birleştirilmiş üretme; siyah hücre kullanılan konumlarda ise birleştirilmiş üretme ve birleştirilmiş yayma bitleri kullanılarak ilgili hesaplamalar gerçekleştirilir. İlgili basamağın önceki basamaklarını da içerisinde bulunduran birleşmiş üretme bit değeri ile yayma bit değeri kullanılarak mevcut basamağın değeri hesaplanır.



Şekil 2.20: 16 Bit Kogge-Stone Toplayıcı Bağlantı Şeması

Şekil 2.20'deki bağlantılardan da görüldüğü üzere, her basamaktaki hesaplanmış blok üretme ve blok yayma bit değerleri, logaritmik bir şekilde kendinden önceki bağlantılı basamakların değerlerini kapsar. Bu bit değerleri her bir katmanda ikili gruplar halinde birleştirilir. Bu birleştirilen bitler de çıkan eldeyi ve toplamayı hesaplamak için kullanılır. Bu işlemler (22) ve (23)'te gösterilmektedir.

$$C_n = G_{birleştirilmiş\ n} + P_{birleştirilmiş\ n} \times C_{in} \quad (22)$$

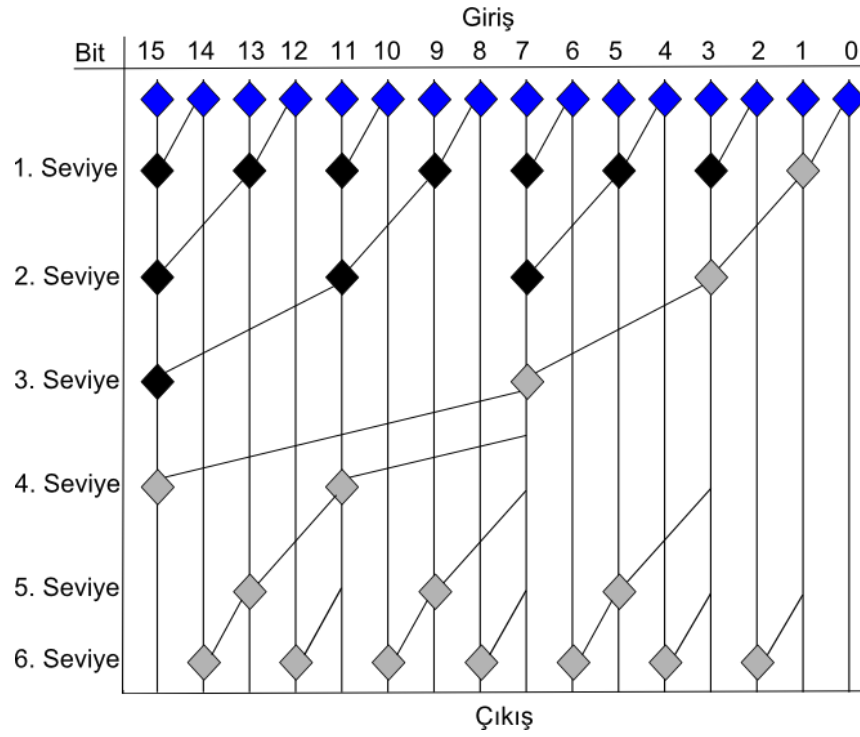
$$S_n = P_n \oplus C_{n-1} \quad (23)$$

Kogge-Stone Toplayıcısı, logaritmik olarak ölçeklendirildiğinden mümkün olan en hızlı toplama devrelerindendir. Aynı zamanda, fanout ve aşama sayısı diğer toplayıcılarla karşılaştırıldığında en düşük değerdedir [20]. Ancak bu toplayıcıda aşırı miktarda kablolama yapılması gerekmektedir.



### 2.3.5 Brent-Kung Toplayıcısı

1982’de R. P. Brent ve H. T. Kung modifiye edilmiş bir Kogge-Stone Toplayıcısını öne sürmüştür. Kogge-Stone Toplayıcısından farklı olarak, Şekil 2.21’de verilen Brent-Kung Toplayıcısında en üst basamak, ikili ağaç veri yapı sistemi ile hesaplanır Diğer basamaklardaki toplama işlemi sonuçları ise ters ağaç yöntemi ile elde edilir [45].



Şekil 2.21: 16 Bit Brent-Kung Toplayıcı Bağlantı Şeması

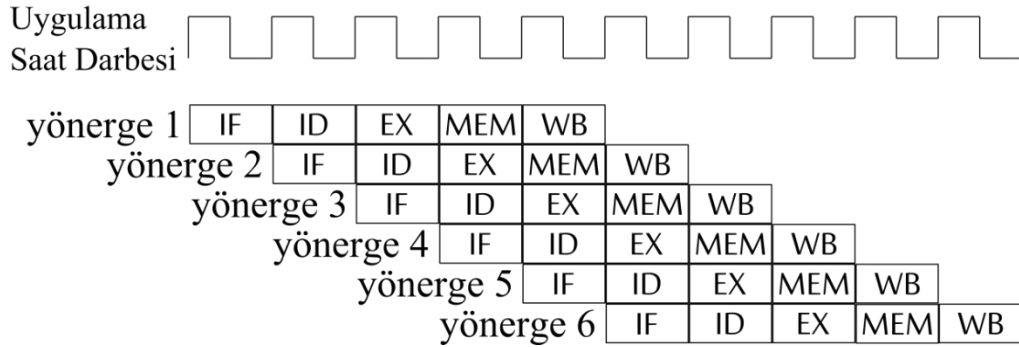
Brent-Kung Toplayıcısı hem hız hem de basitlik bakımından diğer toplayıcı devreleri ile karşılaştırıldığında en verimli toplayıcıdır. Ancak aşama sayısı 16 bit toplayıcı için 6 olup Kogge-Stone Toplayıcısının 4 olan aşama sayısından çok daha yüksektir [20].

## 2.4 DALGA BORUHATTI

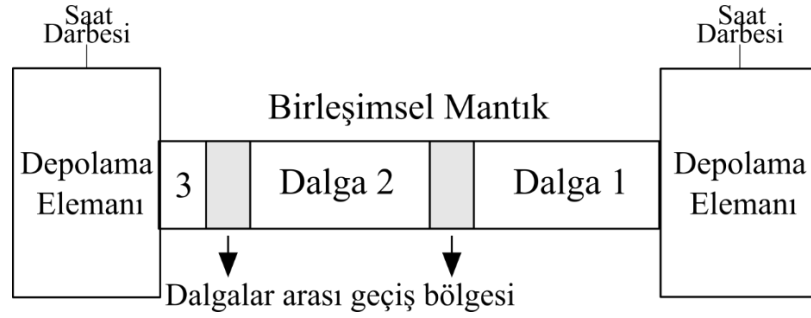
Bilgisayar mimarisinde Dalga Boruhattı, veri işleyen blokların giriş-çıkış ilişkilerine göre birbirlerine peş peşe bağlanması ile oluşturulur.

Dalga Boruhattı mimarisinde blokların doğru çalışabilmesi sağlanırken tampon belleklerden yararlanılır. Her bir yönergenin teker teker ve sırayla işlenmesi yerine yönergelerin basamaklandırılması ile farklı basamakların eş zamanlı ve paralel olarak çalışması sağlanabilir. Günümüzde bilgisayar mimarisinde yaygın olarak kullanılan boruhattı mimarisinin örnek işlem yapısı Şekil 2.22’de ve işleme şekli Şekil 2.23’te ve verilmiştir.

### 5 kademeli boruhattı için yönerge gerçekleştirilmesi



Şekil 2.22: 5 Aşamalı Boruhattı [46] - Kademeler IF: Instruction Fetch (Komut Getirme), ID: Instruction Decode (Komut Çözme), EX: Execute (Gerçekleştirme), MEM: Memory (Hafızaya Erişme), WB: Write Block (Hafızaya Yazma).



Şekil 2.23: Dalga Boruhattı - Çoklu ve eşevreli veri dalgalarının Birleşimsel Mantık Boruhattında İlerleyişi [47]

Dalga Boruhattı fikri ilk olarak Cotten [44] tarafından öne sürülmüştür. Cotten, devrenin çalışabileceği en yüksek hızın, o devrenin en uzun hattı ile en kısa hattı arasındaki farktan bulunabileceğini keşfetmiştir. [47]

Boruhattı mimarisi kullanımı ile saat darbesi yükü, harcanan alan, güç ve gecikme değerlerinde azalma sağlanırken blok fonksiyonelliğinden ve zamandan feragat edilmez. İşlem, yerleşim, devre, mantık, zamanlama ve mimari; boruhattı tasarımında ve analizinde önem teşkil eder.

Dalga Boruhattı mimarisinde;

- Doğru zamanlama modellerinin geliştirilmesi ve problemlerin matematiksel analizi,
- Mantıksal sentez tekniklerinin geliştirilmesi ile CAD araçlarının kullanılması,
- Dalga Boruhattı mimarisine uygun yeni devre tekniklerinin geliştirilmesi,
- Dalga Boruhattı mimarisi ile tasarlanarak üretilmiş VLSI çiplerin test edilmesi gerekmektedir. [47], [49]

Çok aşamalı Dalga Boruhattı tasarımlarında zaman kısıtları tüm aşamalara uyacak şekilde ayarlanmalıdır. Sistemdeki saat darbesi, bir önceki verinin işlenmesini takiben mevcut veriye uygun olan döngüde gelmesi gerekir. Ancak ardışık devrelerin

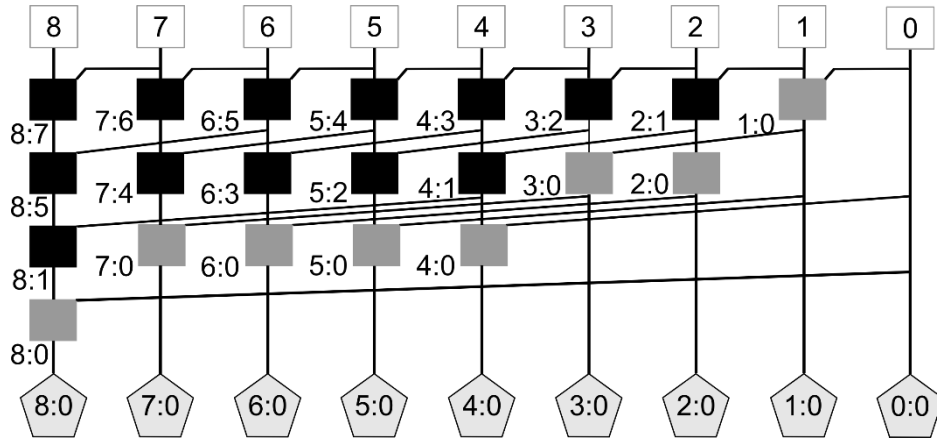
kullanılmasıyla yapılan birleşim devrelerin herhangi bir noktasından ölçüm alınmasında zorluklar bulunmaktadır. Bu zorluk, çok aşamalı Dalga Boruhattı tasarımlarının yapılmasını da ayrıca zorlaştırmaktadır.

Gelişen günümüz teknolojisi, devre yoğunluğunu ve hızını artırmayı hedeflemektedir. Bunun sonucunda ise parametre toleransları azalmaktadır ve böylece saat darbe dağıtımı ve tasarımı zorlaşmaktadır. Artan hız ile birlikte, CMOS kapı gecikmelerine, bağlantı gecikmelerinin hâkim olmaya başlaması, zamanlama iyileştirmelerinin fiziksel katmanda yapılmasını gerektirmektedir.

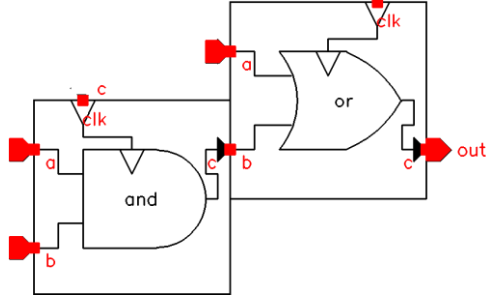
### 3 TASARIM

#### 3.1 Yarı Özgün Gri Önek Hücresi Tasarımı

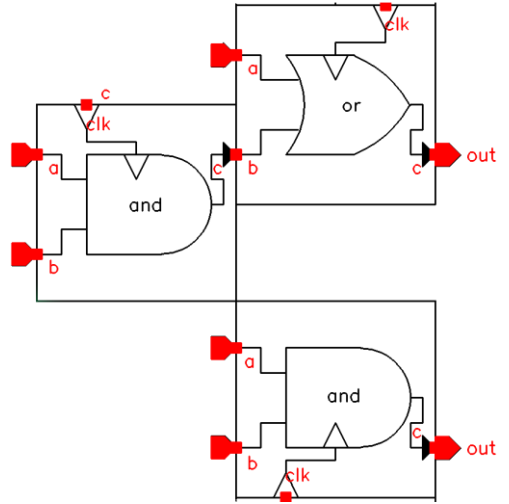
Kogge-Stone Toplama Devresi yayılım ve üretim bitlerinin hesaplanmasında Gri Önek Hücresi (Grey Prefix Cell) ve Siyah Önek Hücresi (Black Prefix Cell) olarak adlandırılan 2 mantık devresi bloğu kullanılır (Şekil 3.1) [50]. Bu mantık blokları Gri Önek Hücresi ve Siyah Önek Hücresi olarak Şekil 3.2 ve Şekil 3.3'te sırasıyla verilmiştir. Gri Önek Hücresi üretim bitini hesaplarken, Siyah Önek Hücresi hem üretim hem de yayılım bitlerini hesaplar.



Şekil 3.1: Kogge Stone Toplama Devresi Elde Biti Taşıma Şeması – Siyah kareler Siyah Önek Hücresi’ni, gri kareler ise Gri Önek Hücresi’ni temsil etmektedir.

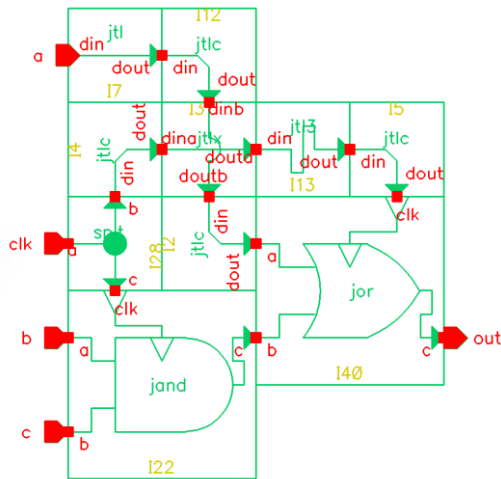


Şekil 3.2: Gri Önek Hücresi

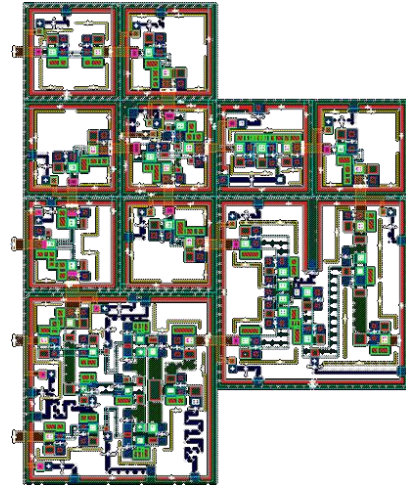


Şekil 3.3: Siyah Önek Hücresi

Şekil 3.2 ve Şekil 3.3'te görüldüğü gibi bir Siyah Önek Hücresi, bir Ve kapısının Gri Önek Hücresi'ne paralel olarak bağlanmış halidir. Bu yüzden Gri Önek Hücresi, birleşik mantık kapısı yapımında tercih edilmiştir. Siyah Önek Hücresi gereken yerlerde, paralel bir Ve kapısı Gri Önek Hücresi'ne bağlanmıştır (Şekil 3.9).



Şekil 3.4: Standart Kütüphane ile Tasarlanan Gri Önek Hücresi Şematığı



Şekil 3.5: Standart Kütüphane ile Tasarlanan Gri Önek Hücresi Layoutu

Yarı Özgün Birleşik Gri Önek Hücre devresi tasarlanırken, en uzun hat olan peş peşe bağlı VE ile VEYA Mantık Kapıları mümkün olan en düşük gecikme ile bağlanmıştır. VE kapısının girişlerinden giren SFQ darbeleri, ayırıcıdan çıkan saat darbesinin VE kapısına ulaşması ile çıkışını doğrudan VEYA kapısı girişine vermektedir. Bu tasarım, en az alan harcanması ile en düşük gecikmeyi bir arada sunmaktadır. Ayırıcıdan çıkan saat darbesi fazla sayıda Josephson Eklemleri üzerinden geçirilerek gecikmesi sağlanmıştır. Böylece kapıların gerek duyduğu Oturma (Set) ve Tutunma (Hold) için gereken süre verilmiştir. Ayrıca besleme gerilimi marjından ötürü devrenin düzgün çalışmasını sağlamak için bu süre %20 oranında toleranslı olacak şekilde ayarlanmıştır.

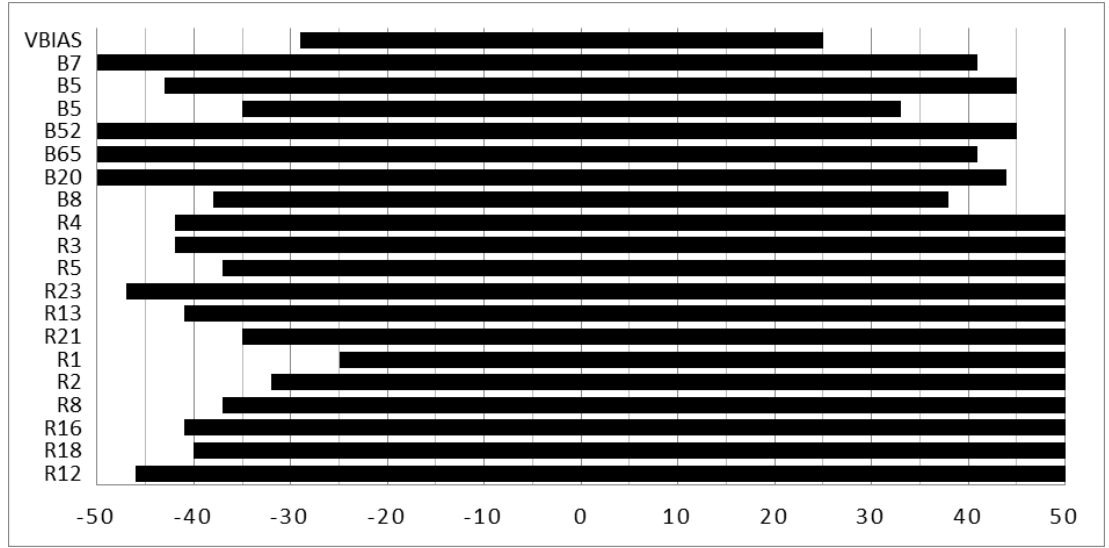
### 3.2 Özgün Gri Önek Hücresi Tasarımı

Tam Özgün Birleşik Gri Önek Hücresi tasarımına kapı seviyesinden başlanılmıştır. İlk olarak VE ile VEYA kapısı arasındaki tampon Josephson eklemleri kaldırılmıştır. Böylece Gri Önek Hücresi içerisindeki en uzun hat kısaltılmış ayrıca bu kısaltma, en uzun hattın paralelindeki diğer hatlardan daha fazla Josephson eklemine çıkarılmasına olanak sağlamıştır. Bu sayede Josephson Eklem sayısı 47'den 37'ye indirgenmiştir. Yapılan değişiklikler sonucunda kapılar arasındaki eşleme şartı bozulmasından dolayı devre çalıştırılamamıştır ve yeni devrenin çalıştırılabilmesi için gereken parametre seti, eniyileme aracı [51] ile elde edilmiştir. Tam özgün hücre içerisindeki eniyilenmesi gereken 197 parametreden, parazitik olanların çıkarılması ile 118 bileşen parametresine ulaşılmıştır. JTL içerisindeki Josephson eklemleri veya depolama döngüsündeki simetrik eklemler gibi özdeş değerlerin gruplanması ile sonuç olarak 73 tane birbirinden bağımsız parametreye ulaşılmıştır. Bu 73 parametre PSO aracı kullanılarak iyileştirilmiştir [51].

Eniyileme aracının sonuç elde edebilmesi için hedef fonksiyonun tanımlanması gerekmektedir. Tam özgün hücre için tanımlanan hedef fonksiyonda en az  $\pm 22.5$  kritik marjin değeri olarak seçilmiştir. Bu hedef fonksiyona göre eniyileme aracının yakınsaması yaklaşık 1000 döngüde gerçekleşmiştir. 73 parametreden, 53 tanesinin

marjininin  $\pm 50$  den daha fazla olduđu elde edilmiřtir.  $\pm 50$ 'den daha dűřűk olanlar izelge 3.1'de gűsterilmektedir ve yaklaşık olarak tűm parametre marjinlerinin  $\pm 30$ 'dan fazla olduđu gűrűlműűtűr. Ayrıca eniyileme parametreleri kullanılarak, devre jsim [52] benzetim aracında test edilerek alıřtıđı gűrűlműűtűr.

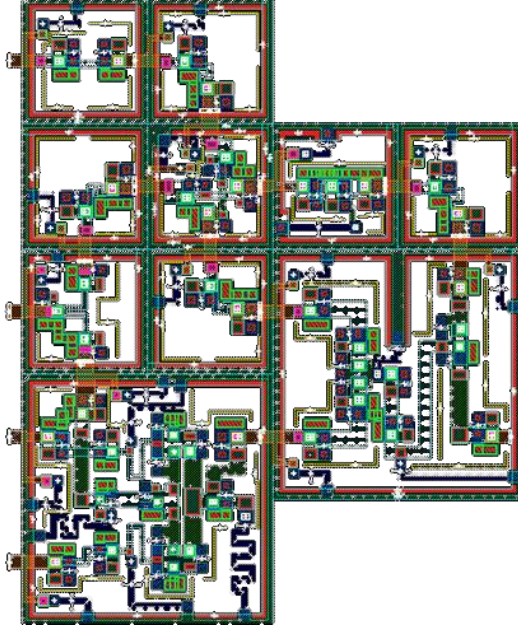
izelge 3.1: Tam zđűn Gri nek Hűcresi Marjin Analiz Sonuları - Toplam 73 farklı deđiřkenden, iyileřme oranı  $\pm 50$ 'den dűřűk olanlar. Besleme voltaj marjini ( $-29$ 'dan  $+25$ %) de karřılařtırma iin eklenmiřtir



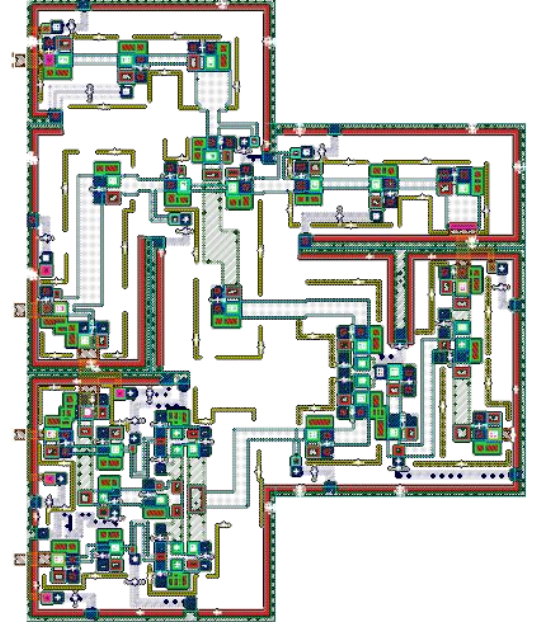
zđűn hűcredeki Josephson Eklem sayısında yapılan azalma ile bir Gri nek Hűcresi iin gereken besleme akımı  $20$ 'den fazla azalmıřtır. 8 bitlik toplayıcı devresinin tűműnde kullanılan 8 adet Gri nek Hűcresi'ndeki ve 13 adet Siyah nek Hűcresi'ndeki Josephson Eklemleri sayısında azalması ile tűm devredeki toplam azalma 210 adet olmuřtur. Hazır kűtűphane ile tasarlanan Kogge-Stone Toplama Devresi ile uyumlu olarak kullanılabilmesi iin zđűn hűcrenin boyutları deđiřtirilmemiřtir. zđűn hűcre layoutu izilirken CADENCE yazılımındaki DRC ve L-meter [53] aralarından yararlanılmıřtır. DRC kurallar seti, layoutta aynı ya da farklı katmanlardaki nesne pozisyonlarının, űretim teknolojisi limitlerine uygunluđunu denerler. L-Meter ise layoutta izilen sűperiletken elemanların indűktansını hesaplar. Ayrıca L-Meter aracılıđıyla, diren ve diđer indűktans deđerleri de hesaplanabilir. Yarı zđűn Gri nek Hűcresi řekil 3.6'da ve Tam zđűn Gri nek Hűcresi de řekil 3.7'de



karşılaştırılabilirlikleri açısından yan yana verilmiştir. Şekil 3.7’de de görüldüğü gibi özgün hücrenin boyutları önemli ölçüde azaltılabilir.



Şekil 3.6: Yarı Özgün Gri Önek Hücresi Layoutu



Şekil 3.7: Tam Özgün Gri Önek Hücresi Layoutu

### 3.3 Kogge-Stone Toplayıcısı Tasarımı

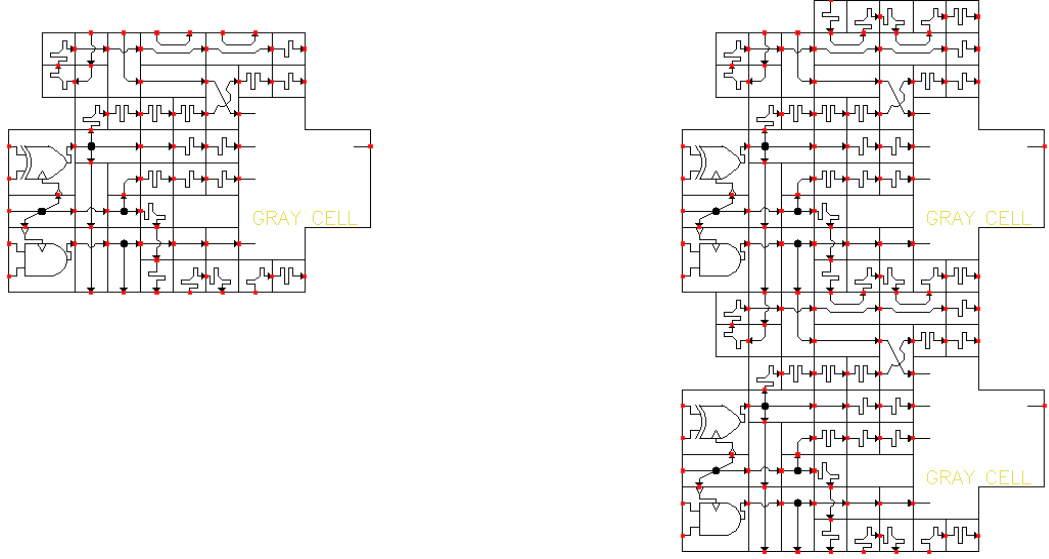
Tek Akı Kuantumu (SFQ) devreleri için hazırda otomatik bir hat çekme aracı (Automatic Routing Tool) bulunmadığından, bloklar arasındaki iletimin manuel olarak yapılması gerekmektedir. İletimdeki birincil amaç en düşük gecikmeyi, en az alanı harcayarak sağlamaktır. Bu esnada çalışma marjınlarının de hedeflenenden aşağıya inmemesi önemlidir. RSFQ’da tek akı kuantum darbelerinin iletimi Josephson İletim Hatları (JTL) ya da Pasif iletim Hattı (PTL) kullanılarak gerçekleştirilebilmektedir. JTL’ler geniş giriş parametre toleransına ve RSFQ devrelerine olan mükemmel uyumunun yanı sıra bozulan SFQ darbelerini düzeltme ve onarma özelliklerine sahiptir. Ancak JTL hücreleri aktif olarak iletim gerçekleştirdikleri için PTL’e göre

yavaş olabilmektedir. Ayrıca, doğru akım (DC) beslemesine duyduğu ihtiyaç nedeniyle sabit güç tüketimine neden olmaktadır. PTL'lerde hat boyunca DC besleme gerilim tüketimi gerçekleşmez ve iletim, mesafeye bağlı olmakla birlikte, ortalama 10 kata kadar daha hızlıdır. Ancak PTL'in RSFQ ile uyumlu olarak kullanılması için özel alıcı ve verici devreleri kullanılması gerekmektedir. Aksi halde PTL üzerinden aktarılan sinyallerin geri yansımaya, dolayısıyla devrelerin yanlış çalışmasına neden olabilmektedir [54]. Bu sebepten dolayı kullanılması gereken her alıcı ve verici devresi, yaklaşık 10ps'lik gecikmeye ve beraberinde devrede  $40\mu\text{m} \times 40\mu\text{m}$  alan harcanmasına sebep olmaktadır. Kısa mesafeler için PTL kullanılması, aktif taşıma işleminden daha yavaş olmaktadır. Ayrıca, tasarım sürecinde kullanmakta olduğumuz CONNECT [55] Hücre Kütüphanesi, JTL ile yapılan iletimlerde PTL'e oranla daha geniş seçeneklerle büyük bir avantaja sahiptir. Bütün devredeki bağlantılar JTL'ler aracılığıyla yapılarak gerçekleştirilmiştir. Önceki SFQ mantık devresi tasarımlarının [18], [32], [33], [56]–[58] aksine PTL kullanılmamış ve böylece PTL için gereken alıcı ve vericilere gerek kalmamıştır. Bağlantılarda JTL kullanılması, en uzun hat gecikme ve toplam gecikme değerlerinde büyük rol oynar. İletim gecikmesini mümkün olduğunca küçültmek için en uzun hat eniyilemesine büyük çaba harcanmıştır.

Kogge-Stone Toplayıcı tasarımı, Dalga Boruhattı modeli ile çalışacak şekilde tasarlanmaya başlanmıştır. Dalga Boruhattı mimarisi eşzamanlı olarak çalıştığından, depolama elemanlarına ihtiyaç duyar. Josephson Dijital Devre Mantık Blokları ise ancak saat darbesi ile çıkış verdiklerinden, Dalga Boruhattı mimarisi açısından çok elverişlidir. Bu sayede DFF gibi bir depolama aracı kullanımına da gerek yoktur.

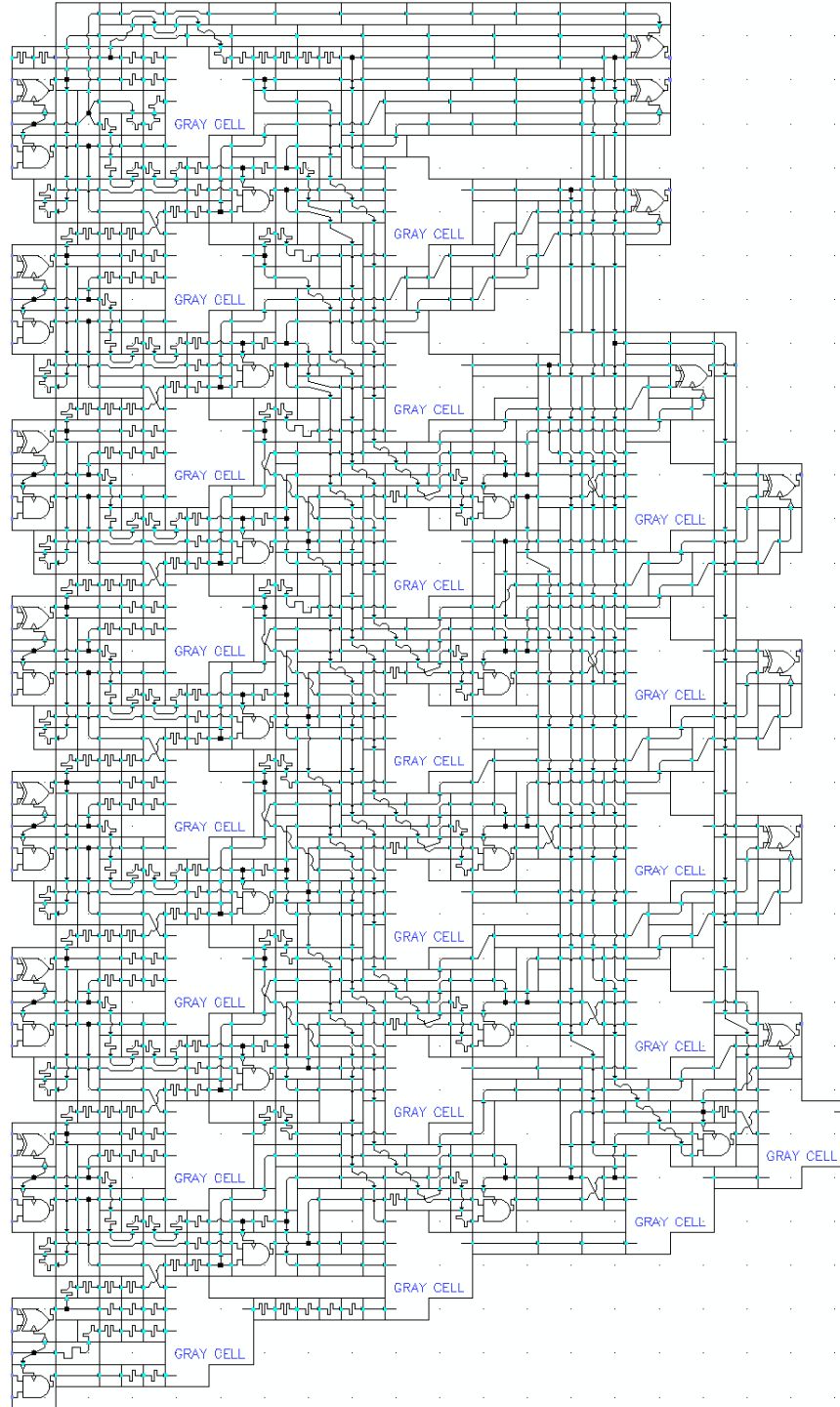
Düşük seviyelerde, aynı seviyenin farklı basamaklarındaki bloklar arasındaki bağlantılar yakın benzerlik göstermektedir (Şekil 3.1). Bu benzerlik, tasarlanan bir bağlantı kümesinin farklı basamaklar için tekrar tekrar kullanılabilmesini sağlamıştır. (Şekil 3.8) Her ne kadar bu yöntem ilk bağlantı bloğunun tasarımının yapılmasını zorlaştırmış olsa da, sonraki basamakların aynı seviyelerindeki bağlantıların yapılmasını kolaylaştırmıştır. Ancak sonraki basamaklarda, bağlantılar arasındaki

benzerlik toplayıcının logaritmik çalışma yapısından ötürü azalmıştır. Bu yüzden her basamağın ayrı ayrı tasarlanması ve bağlanmasına gerekmiştir.



Şekil 3.8: İlk Kademe Eş Bağlantı Bloğu ve Bloğun İki Farklı Basamakta Kullanımı

Bloklar arası gereken bağlantı sayısı bilindiğinden, zamanlama gecikmeleri hesaba katılmadan, ilk olarak mümkün olabilecek en küçük yerleşim planı yapılmıştır. Yerleşim planı sonrasındaki blok konumları, yapılan zamanlama uyumsuzluklarını düzeltmek üzere kaydırılmış hatta gereken yerlerde de bloklar arasındaki mesafeler genişletilmiştir. İlk kademelerde, SFQ sinyalleri çok uzun mesafe kat etmediklerinden, devre boyutlarında genişletme yapmaya gerek olmamıştır. Ancak özellikle son kademelerde, uzun hat gecikmesini denkleştirmek için çok sayıda Josephson Eklemleri kullanılması gerekmiştir.



Şekil 3.9: Kogge-Stone Toplama Devresi Şematiği

### 3.3.1 H-Ağaç Saat Darbesi Dağılımı

Kogge-Stone Toplama Devresinin girişine uygulanan tek bir saat darbesinin, toplama devresine giren 17 bitlik veriyi eşzamanlı işlenmesini sağlamak üzere, eşit gecikmelerle farklı noktalara dağıtılması gerekmiştir. Hat gecikmesini her bir saat darbesi girişine eşit etki etmesini sağlamak için, H-Ağaç yapısı benzeri bir dağıtıcı kullanılmıştır [59]. Şekil 3.10'daki devrenin kullanılması ile yaklaşık 160pslik bir süre içerisinde devreye giren tek saat darbesi ilk kademedeki 16 mantık kapısına dağıtılmıştır.

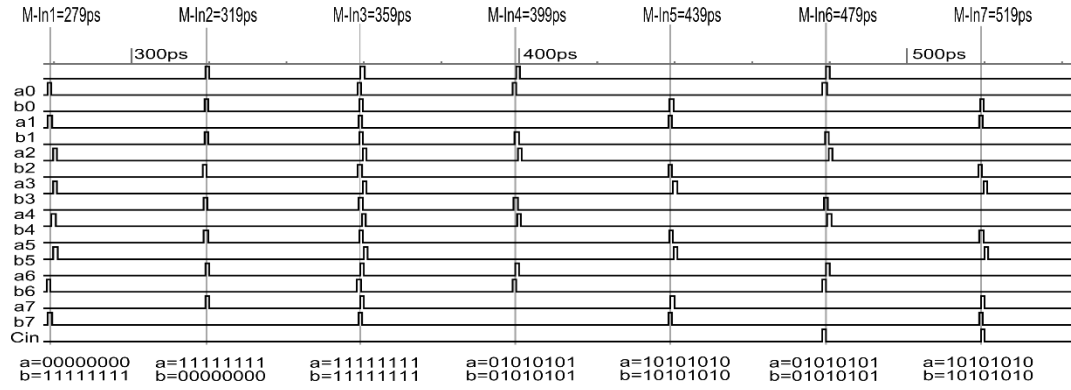


Şekil 3.10: H-Ağaç Saat Darbesi Dağıtım Devresi. Orta tepe noktadan giren saat darbesinin bölünerek dağıtılması

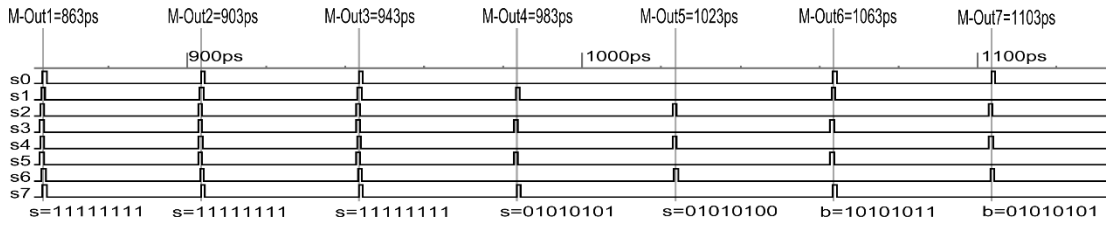
### 3.3.2 Zamanlama Düzenlemeleri ve Verilog Testleri

Giriş sinyallerinin de saat darbesi ile eşzamanlanmasının tamamlanmasıyla, 8 bitlik Kogge-Stone Toplama Devresi tamamlanmıştır.

Cadence programında yapılan devre tasarımı, daha sonrasında Verilog benzetim programı yardımıyla gerek hataları düzeltmek için gerekse marjini artırmak için zamanlama değerlerinde ayarlamalar yapılmıştır [60]. Devrenin çalışabilirliğini test etmek için Şekil 3.11'deki giriş sinyalleri uygulanmış ve buna göre, Şekil 3.12'deki çıkış sinyalleri elde edilene kadar zamanlamalarda düzenlemeler gerçekleştirilmiştir.

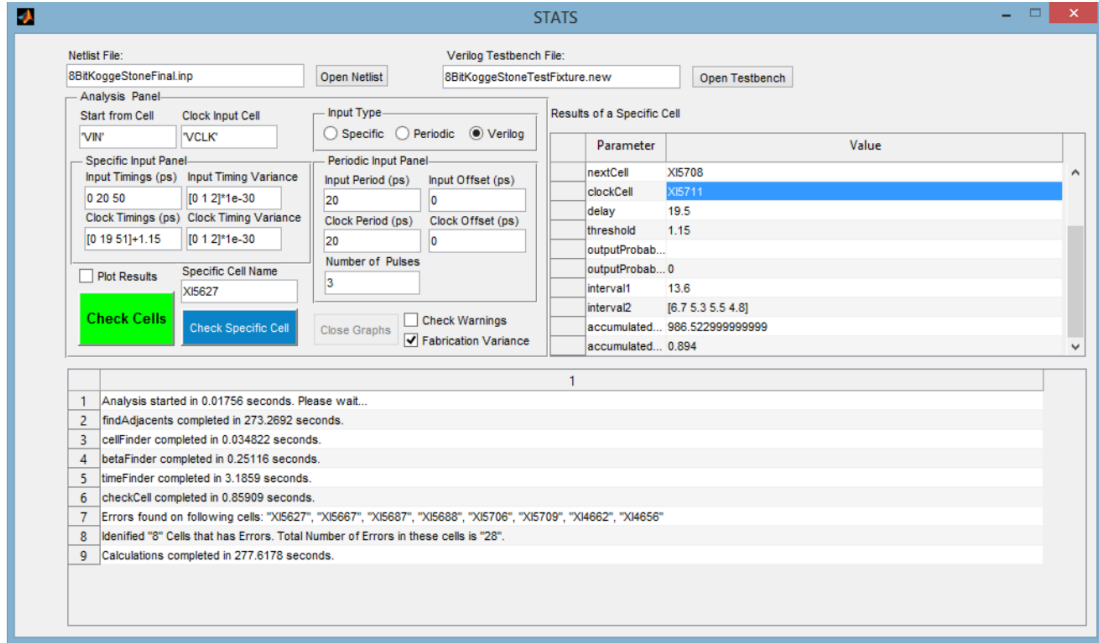


Şekil 3.11: Kogge-Stone Toplama Devresi Verilog Testi Giriş Sinyalleri Grafiği - 7 farklı toplama işlemi için, toplanacak 8 bitlik her iki sayının en alt basamağından en üst basamağına değerlerinin Verilog Gösterimi.



Şekil 3.12: Kogge-Stone Toplama Devresi Verilog Testi Çıkış Sinyalleri Grafiği - Şekil 3.11'teki giriş sinyallerine göre toplama devresi çıkışlarından alınan sonuçlar.

Devre elemanlarının üretimden toleranslarından kaynaklanan gecikme ve seğirme analizi için ise İstatistiksel Zamanlama Analiz aracı kullanılmıştır [61]. Bu araç ile üretimden kaynaklanabilen zamanlama varyasyonlarının devrenin çalışabilirliğine olan etkisi en aza indirgenmiştir. Kullanılan araç biriken gürültü sinyallerinden ötürü 8 hücrenin hatalı çalışabileceğini tespit etmiştir (Şekil 3.13).

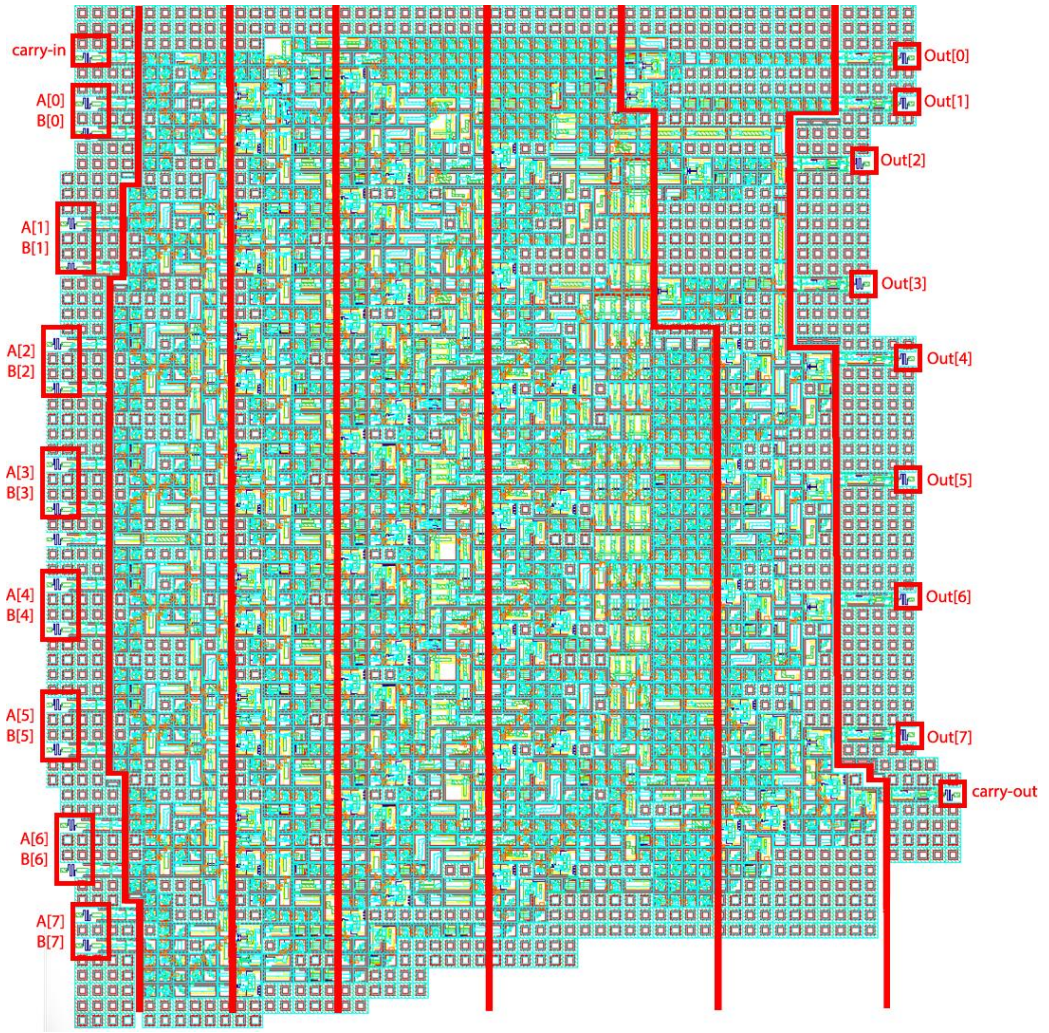


Şekil 3.13: İstatistiksel Zamanlama Analizi ve Sayısal Benzetim Aracı Sonuçları - Özgün Kogge-Stone Toplama Devresi Benzetimi Sonuçları [61]

Şekil 3.14’te blokları ile özgün 8 bitlik Kogge-Stone Toplayıcı devresi layout tasarımı görülmektedir. Devrenin üretim öncesine ait layout tasarımında bloklar soldan sağa doğru görülebilmesi amacıyla kısımlara ayrılmıştır. Soldaki kutularda eş basamak sayı değerlerinin devreye girdiği yer görülmektedir. Ayrıca dikey olarak bölünmüş soldan sağa doğru 7 kısım da sırasıyla:

1. DC-SFQ Dönüştürücüleri
  2. Giriş Sinyal Zamanlama Ayarlamaları ile H Ağaç Saat Dağılımı Devresi
  3. 1. Kademe Önek Hesaplama Blokları ve Ek Zamanlama Devreleri
  4. 2. Kademe Önek Hesaplama Blokları ve Ek Zamanlama Devreleri
  5. 3. Kademe Önek Hesaplama Blokları ve Ek Zamanlama Devreleri
  6. 4. Kademe Sonuç Hesaplama Blokları ve Ek Zamanlama Devreleri
  7. SFQ-DC Dönüştürücüleri
- olarak isimlendirilebilir.





Şekil 3.14: Kogge-Stone Toplama Devresi Layoutu



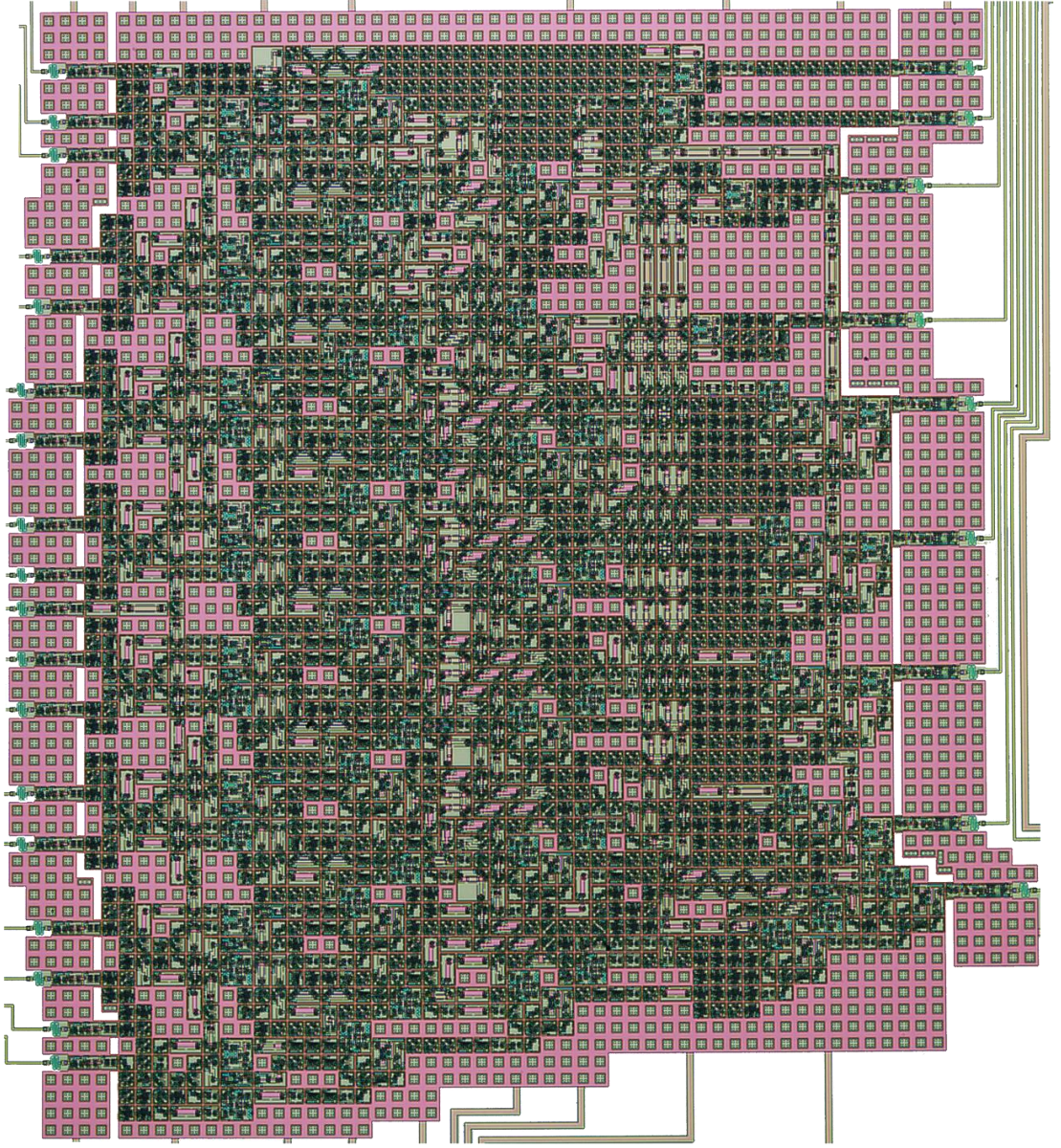
#### 4 SONUÇ

Bu çalışmada 8 bitlik dalga boru hatlı Kogge-Stone Toplama Devresi CONNECT [53] Hücre Kütüphanesi aracılığıyla tasarlanarak benzetimi yapılmış ve CRAVITY of National Institute of Advanced Industrial Science and Technology'de (AIST) üretilmiştir [62]. Ek olarak, Kogge-Stone Toplama Devresi benzetimleri Verilog'da yapılarak, devrenin doğru çalıştığı gösterilmiştir. Bu benzetimlerde elde edilen giriş ve çıkış zamanlama değerleri sırasıyla Şekil 3.11 ve Şekil 3.12'de verilmiştir. 2.5mV besleme gerilimi altında toplam gecikme değeri 588ps olan 8 bitlik toplama devresi, dalga boruhattı mimari tasarımı sayesinde devrenin yüksek hızlarında çalışması sağlanmıştır. Bu gecikmenin %37'den fazlası mantık kapıları ile Gri Önek Hücreleri'nden kaynaklandığı görülmüştür.

8 bitlik toplayıcı devresinin tasarlanan besleme gerilimi olan 2.5mV altında 32.26GHz saat hızına kadar çalışabildiği görülmüştür. Besleme geriliminin 2.13mV'a düşmesi durumunda da 25GHz'lik hedeflenen çalışma hızının korunduğu gözlemlenmiş ve 3mV'a yükseltilmesi ile de 40GHz frekansına kadar doğru çalıştığı sonucuna varılmıştır.

Tasarlanan devrenin 2.5mV besleme gerilimi ve 0.9A'lık akım değeri ile durağan enerji tüketiminin 2.25mW olacağı belirlenmiştir. Üretilen Kogge-Stone Toplama Devresinin mikro-fotoğrafı Şekil 4.1'de verilmiştir. Toplayıcı devresinin kapladığı alan, giriş ve çıkışlarda bulunan DC-SFQ, SFQ-DC dönüştürücüleri ve saat bölücü devresi ile birlikte 2.5mm x 2.7mm'dir. Toplam 1668 hücreden oluşan tasarımda, 6581 tane Josephson Ekleme bulunmaktadır. Gereken toplam bacak sayısı 46 olup, bu değere sinyal giriş çıkış bacakları ile saat darbesi giriş bacaklarının yanı sıra besleme akım giriş bacakları da dâhildir.

Üretilen toplama devresinin laboratuvar ortamında fiziksel testlerinin tamamlanması ve ardından test sonuçlarına göre ileride üretilecek olan Aritmetik Mantık Biriminde kullanılması hedeflenmektedir.



Şekil 4.1: 8 bitlik dalga boru hatlı Kogge Stone Toplama Devresi Mikro-fotoğrafi

## KAYNAKLAR

- [1] E. Robson, *Mathematics in Ancient Iraq: A Social History*. Princeton University Press, 2008.
- [2] K. Menninger, *Number Words and Number Symbols: A Cultural History of Numbers*. Courier Dover Publications, 2013.
- [3] L. Gladstone-Millar, *John Napier: Logarithm John*. National Museums of Scotland Publishing, 2003.
- [4] J. Marguin, *Histoire des instruments et machines à calculer: trois siècles de mécanique pensante, 1642-1942*. Hermann, 1994.
- [5] E. Martin, *Rechenmaschinen und Ihre Entwicklungsgeschichte*. M.I.T. P., 1992.
- [6] D. Simonis, *Inventors and Inventions*. Marshall Cavendish, 2007.
- [7] «Herman Hollerith Tabulating Machine». [Çevrimiçi]. Available at: <http://www.columbia.edu/cu/computinghistory/hollerith.html>. [Erişildi: 11-Nis-2014].
- [8] «The IBM 029 Key Punch». [Çevrimiçi]. Available at: <http://www.columbia.edu/cu/computinghistory/029.html>. [Erişildi: 11-Nis-2014].
- [9] M. Lindgren, *Glory and Failure: The Difference Engines of Johann Müller, Charles Babbage and Georg and Edvard Scheutz*. MIT Press, 1990.
- [10] D. S. Halacy, *Charles Babbage, father of the computer*. Crowell-Collier Press, 1970.
- [11] N. Tesla, «Method of signaling.», US723188 A17-Mar-1903.
- [12] N. Tesla, «System of signaling.», US725605 A14-Nis-1903.
- [13] «This Month in Physics History». [Çevrimiçi]. Available at: <http://www.aps.org/publications/apsnews/200011/history.cfm>. [Erişildi: 11-Nis-2014].
- [14] J. von Neumann, «First draft of a report on the EDVAC», *IEEE Ann. Hist. Comput.*, c 15, sayı 4, ss 27 –75, 1993.
- [15] H. H. Goldstine ve A. Goldstine, «The Electronic Numerical Integrator and Computer (ENIAC)», *Math. Tables Aids Comput.*, c 2, sayı 15, ss 97–110, Temmuz 1946.
- [16] C. H. R. Jr ve L. L. Kinney, *Fundamentals of Logic Design*. Cengage Learning, 2009.
- [17] D. Markovic, «Lecture Notes on VLSI - Lecture 9 of Fall 2010 - [http://icslwebs.ee.ucla.edu/dejan/classwiki/images/0/02/Lec-09\\_Adders.pdf](http://icslwebs.ee.ucla.edu/dejan/classwiki/images/0/02/Lec-09_Adders.pdf)», University of California - Los Angeles, 2010.
- [18] T. Filippov, M. Dorojevets, A. Sahu, A. Kirichenko, C. Ayala, ve O. Mukhanov, «8-Bit Asynchronous Wave-Pipelined RSFQ Arithmetic-Logic Unit», *IEEE Trans. Appl. Supercond.*, c 21, sayı 3, ss 847 –851, Haz 2011.
- [19] P. M. Kogge ve H. S. Stone, «A Parallel Algorithm for the Efficient Solution of a General Class of Recurrence Equations», *IEEE Trans. Comput.*, c C–22, sayı 8, ss 786–793, 1973.
- [20] D. Patil, O. Azizi, M. Horowitz, R. Ho, ve R. Ananthraman, «Robust Energy-Efficient Adder Topologies», içinde *18th IEEE Symposium on Computer Arithmetic, 2007. ARITH '07*, 2007, ss 16 –28.

- [21] D. Harris, «A taxonomy of parallel prefix networks», içinde *Conference Record of the Thirty-Seventh Asilomar Conference on Signals, Systems and Computers*, 2004, 2003, c 2, ss 2213–2217 Vol.2.
- [22] H. K. Onnes, «Further experiments with liquid helium. C. On the change of electric resistance of pure metals at very low temperatures etc. IV. The resistance of pure mercury at helium temperatures», içinde *Through Measurement to Knowledge*, K. Gavroglu ve Y. Goudaroulis, Ed Springer Netherlands, 1991, ss 261–263.
- [23] W. Meissner ve R. Ochsenfeld, «Ein neuer Effekt bei Eintritt der Supraleitfähigkeit», *Naturwissenschaften*, c 21, sayı 44, ss 787–788, Kas 1933.
- [24] «physicsfigures». [Çevrimiçi]. Available at: <http://users-physics.au.dk/philip/pictures/physicsfigures/physicsfigures.html>. [Erişildi: 11-Nis-2014].
- [25] H. Rogalla ve P. H. Kes, *100 years of superconductivity*. Boca Raton: CRC Press/Taylor & Francis Group, 2012.
- [26] B. D. Josephson, «Possible new effects in superconductive tunnelling», *Phys. Lett.*, c 1, ss 251–253, Tem 1962.
- [27] I. Avci, R. Akram, A. Bozbey, M. Tepe, ve D. Abukay, «Selection of the Best Proper DC-SQUIDS in a Multi-SQUID Configuration», *IEEE Trans. Appl. Supercond.*, c 17, sayı 2, ss 680–682, Haz 2007.
- [28] J. G. Bednorz ve K. A. Müller, «Possible highT c superconductivity in the Ba–La–Cu–O system», *Z. Für Phys. B Condens. Matter*, c 64, sayı 2, ss 189–193, Haz 1986.
- [29] M. K. Wu, J. R. Ashburn, C. J. Torng, P. H. Hor, R. L. Meng, L. Gao, Z. J. Huang, Y. Q. Wang, ve C. W. Chu, «Superconductivity at 93 K in a New Mixed-Phase Y-Ba-Cu-O Compound System at Ambient Pressure», içinde *Ten Years of Superconductivity: 1980–1990*, H. R. Ott, Ed Springer Netherlands, 1993, ss 281–283.
- [30] K. K. Likharev ve V. K. Semenov, «RSFQ logic/memory family: A new Josephson-junction technology for sub-terahertz-clock-frequency digital systems», *Appl. Supercond. IEEE Trans. On*, c 1, sayı 1, ss 3–28, 1991.
- [31] ITRS, «International Technology Roadmap for Semiconductors 2007 - Emerging Research Devices», 2007.
- [32] M. Dorojevets, P. Bunyk, ve D. Zinoviev, «FLUX chip: design of a 20-GHz 16-bit ultrapipelined RSFQ processor prototype based on 1.75-  $\mu$ m LTS technology», *IEEE Trans. Appl. Supercond.*, c 11, sayı 1, ss 326–332, Mar 2001.
- [33] P. Bunyk, M. Leung, J. Spargo, ve M. Dorojevets, «Flux-1 RSFQ microprocessor: physical design and test results», *Appl. Supercond. IEEE Trans. On*, c 13, sayı 2, ss 433 – 436, Haz 2003.
- [34] M. Dorojevets, P. Bunyk, D. Zinoviev, ve K. Likharev, «COOL-0: Design of an RSFQ subsystem for petaflops computing», *IEEE Trans. Appl. Supercond.*, c 9, sayı 2, ss 3606 –3614, Haziran 1999.
- [35] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, ve K. K. Likharev, «Rapid single flux quantum T-flip flop operating up to 770 GHz», *IEEE Trans. Appl. Supercond.*, c 9, sayı 2, ss 3212–3215, 1999.

- [36] «SQUID Magnetometer and Josephson Junctions». [Çevrimiçi]. Available at: <http://hyperphysics.phy-astr.gsu.edu/hbase/solids/squid.html#c3>. [Erişildi: 11-Nis-2014].
- [37] J. Blomgren ve P. Magnelind, «The Josephson Effect, SQUID Lab.» [Çevrimiçi]. Available at: <http://fy.chalmers.se/~delsing/LowTemp/Labbar/SQUIDlab-rev3.pdf>. [Erişildi: 25-Ara-2013].
- [38] C. J. Burroughs, S. P. Bent, T. E. Harvey, ve C. A. Hamilton, «1 volt DC programmable Josephson voltage standard», *IEEE Trans. Appl. Supercond.*, c 9, sayı 2, ss 4145–4149, 1999.
- [39] C. A. Hamilton, «Josephson voltage standards», *Rev. Sci. Instrum.*, c 71, sayı 10, ss 3611–3623, 2000.
- [40] T. Van Duzer ve C. W. Turner, «Principles of superconductive devices and circuits», *CERN Document Server*, 1981. [Çevrimiçi]. Available at: <http://cds.cern.ch/record/101048>. [Erişildi: 11-Nis-2014].
- [41] K. Nakajima, H. Mizusawa, H. Sugahara, ve Y. Sawada, «Phase mode Josephson computer system», *IEEE Trans. Appl. Supercond.*, c 1, sayı 1, ss 29–36, Mar 1991.
- [42] M. M. Mano, «Digital logic and computer design», 1979. [Çevrimiçi]. Available at: <http://bases.bireme.br/cgi-bin/wxislind.exe/iah/online/?IsisScript=iah/iah.xis&src=google&base=REPIDISCA&lang=p&nextAction=lnk&exprSearch=148773&indexSearch=ID>. [Erişildi: 11-Nis-2014].
- [43] J. Sklansky, «Conditional-Sum Addition Logic», *IRE Trans. Electron. Comput.*, c EC-9, sayı 2, ss 226 –231, Haz 1960.
- [44] A. Weinberger ve J. L. Smith, «A logic for high-speed addition», *Nat Bur Stand Circ*, c 591, ss 3–12, 1958.
- [45] R. P. Brent ve H. T. Kung, «A Regular Layout for Parallel Adders», *IEEE Trans. Comput.*, c C-31, sayı 3, ss 260 –264, Mar 1982.
- [46] «CPU DESIGN | CPU STRUCTURE». [Çevrimiçi]. Available at: <http://www.cs.iit.edu/~cs561/cs350/CPU/5stage.html>. [Erişildi: 11-Nis-2014].
- [47] D. C. Wong, G. De Micheli, ve M. Flynn, «Designing high-performance digital circuits using wave pipelining: algorithms and practical experiences», *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, c 12, sayı 1, ss 25–46, Oca 1993.
- [48] S. F. Anderson, J. G. Earle, R. E. Goldschmidt, ve D. M. Powers, «The IBM System/360 Model 91: Floating-point Execution Unit», *IBM J Res Dev*, c 11, sayı 1, ss 34–53, Oca 1967.
- [49] W. P. Burleson, M. Ciesielski, F. Klass, ve W. Liu, «Wave-pipelining: a tutorial and research survey», *IEEE Trans. Very Large Scale Integr. VLSI Syst.*, c 6, sayı 3, ss 464–474, Eyl 1998.
- [50] A. Beaumont-Smith ve C.-C. Lim, «Parallel prefix adder design», içinde *15th IEEE Symposium on Computer Arithmetic, 2001. Proceedings*, 2001, ss 218–225.
- [51] Y. Tukul, A. Bozbey, ve C. A. Tunc, «Development of an Optimization Tool for RSFQ Digital Cell Library Using Particle Swarm», *IEEE Trans. Appl. Supercond.*, c 23, sayı 3, s 1700805, Haz 2013.



- [52] E. S. Fang ve T. Van Duzer, «A Josephson integrated circuit simulator (JSIM) for superconductive electronics application», *Ext Abstr 2nd ISEC Tokyo Jpn.*, ss 407–410, 1989.
- [53] C. J. Fourie ve W. J. Perold, «Simulated inductance variations in RSFQ circuit structures», *IEEE Trans. Appl. Supercond.*, c 15, sayı 2, ss 300–303, Haz 2005.
- [54] Valery Todorov, Anton Andonov, ve Valeri Mladenov, «Long-Distance On-Chip SFQ Pulse Transmission via Passive Transmission Lines», *Adv. Asp. Theor. Electr. Eng. Sozopol*, sayı 7, ss 139–145, 2009.
- [55] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, ve S. Tahara, «A single flux quantum standard logic cell library», *Phys. C Supercond.*, c 378–381, Part 2, ss 1471–1474, Eki 2002.
- [56] M. Dorojevets, C. L. Ayala, N. Yoshikawa, ve A. Fujimaki, «16-Bit Wave-Pipelined Sparse-Tree RSFQ Adder», *IEEE Trans. Appl. Supercond.*, c 23, sayı 3, ss 1700605–1700605, 2013.
- [57] T. V. Filippov, A. Sahu, A. F. Kirichenko, I. V. Vernik, M. Dorojevets, C. L. Ayala, ve O. A. Mukhanov, «20 GHz Operation of an Asynchronous Wave-Pipelined RSFQ Arithmetic-Logic Unit», *Phys. Procedia*, c 36, ss 59–65, 2012.
- [58] M. Dorojevets, C. L. Ayala, N. Yoshikawa, ve A. Fujimaki, «8-Bit Asynchronous Sparse-Tree Superconductor RSFQ Arithmetic-Logic Unit With a Rich Set of Operations», *IEEE Trans. Appl. Supercond.*, c 23, sayı 3, ss 1700104–1700104, 2013.
- [59] H. Matsutani, M. Koibuchi, ve H. Amano, «Performance, Cost, and Energy Evaluation of Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network», içinde *Parallel and Distributed Processing Symposium, 2007. IPDPS 2007. IEEE International*, 2007, ss 1–10.
- [60] V. Adler, C.-H. Cheah, K. Gaj, D. K. Brock, ve E. G. Friedman, «A Cadence-based design environment for single flux quantum circuits», *IEEE Trans. Appl. Supercond.*, c 7, sayı 2, ss 3294–3297, 1997.
- [61] M. E. Celik ve A. Bozbey, «Statistical timing analysis tool for SFQ cells (STATS)», içinde *Superconductive Electronics Conference (ISEC), 2013 IEEE 14th International*, 2013, ss 1–3.
- [62] «AIST Nanocharacterization Facility - CRAVITY», *GreFon - Cravity*. [Çevrimiçi]. Available at: <http://unit.aist.go.jp/riif/openi/cravity/en/index.html>. [Erişildi: 25-Ara-2013].

## ÖZGEÇMİŞ

### Kişisel Bilgiler

Soyadı, adı : ÖZER, Murat  
Uyruğu : T.C.  
Doğum tarihi ve yeri : 01.10.1983 Ankara  
Medeni hali : Evli  
Telefon : 0 (312) 292 41 23  
E-posta : murat.ozer@etu.edu.tr

### Eğitim

| Derece        | Eğitim Birimi                               | Mezuniyet tarihi |
|---------------|---------------------------------------------|------------------|
| Yüksek Lisans | TOBB ETÜ/Elektrik-Elektronik Müh.           | 2014             |
| Lisans        | İ. D. Bilkent Üni./Elektrik-Elektronik Müh. | 2007             |

### İş Deneyimi

| Yıl       | Yer           | Görev                    |
|-----------|---------------|--------------------------|
| 2012-2014 | Melsis Ltd.   | Elektrik-Elektronik Müh. |
| 2010-2012 | C3S Ltd.      | Elektrik-Elektronik Müh. |
| 2007-2008 | Karsu Tekstil | Elektrik-Elektronik Müh. |

### Yabancı Dil

İngilizce  
Almanca  
Japonca

### Yayınlar

- 1 M. Özer, Y. Tükel, M. Eren Çelik, and A. Bozbey, "Design of RSFQ Asynchronous Pipelined Kogge-Stone Adder and Developing Custom Compound Gates", accepted for publication, Cryogenics, 2014

### Konferans Bildirileri

- 1 M. Özer, A. Bozbey Y. Tukul, E. Celik, "Design of an RSFQ based Kogge-Stone Adder by Using Custom Optimized Gates and Wiring" Applied Superconductivity, European Conference on Applied Superconductivity 2013, Genoa, Italy, 2013
- 2 M. Özer, A. Bozbey Y. Tukul, E. Celik, "Design of an RSFQ Asynchronous Pipelined Kogge-Stone Adder using Custom Compound Gates" 7th Asian Conference on Applied Superconductivity and Cryogenics (7th ACASC), Cappadocia, Turkey, 2013
- 3 Y. Tukul, M. Özer, A. Bozbey, C. A. Tunc, "Stripline Design of Passive Transmission Lines for RSFQ Circuits" Applied Superconductivity, European Conference on Applied Superconductivity 2013, Genoa, Italy, 2013
- 4 M. Eren Çelik, M. Ozer, A. Bozbey, "Extraction of the Timing Parameters of RSFQ Cells for Potential New Generation Simulation Tools" Applied Superconductivity, European Conference on Applied Superconductivity 2013, Genoa, Italy, 2013
- 5 A. Bozbey, M. Eren Çelik, M. Ozer, S. Razmkhah, C. A. Tunc, Y. Tukul, "Design Efforts Towards Large Scale Digital and Mixed Signal SFQ Integrated Circuits" 8th FLUXONICS RSFQ Design Workshop 2013, 23-25 September, 2013, Ilmenau University of Technology, Ilmenau, Germany.
- 6 A. Bozbey, Y. Tukul, E. Celik, C.A. Tunc, M. Ozer, "Development of an Analog Circuit Optimizer and Jitter Analysis Tool for SFQ Circuits" Superconducting SFQ VLSI Workshop, Japan, 2013