

**TEK AKI KUANTUM TABANLI ANALOG VE DİJİTAL DEVRELER
İÇİN ENİYİLEME ARACI GELİŞTİRİLMESİ**

YİĞİT TÜKEL

YÜKSEK LİSANS TEZİ

ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ

TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ

FEN BİLİMLERİ ENSTİTÜSÜ

ARALIK 2013

ANKARA

Fen Bilimleri Enstitü onayı

Prof. Dr. Necip ÇAMUŞÇU

Müdür

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladığımı onaylarım.

Prof. Dr. Murat ALANYALI

Anabilim Dalı Başkanı

Yiğit TÜKEL tarafından hazırlanan TEK AKI KUANTUM TABANLI ANALOG VE DİJİTAL DEVRELER İÇİN ENİYİLEME ARACI GELİŞTİRİLMESİ adlı bu tezin Yüksek Lisans tezi olarak uygun olduğunu onaylarım.

Doç. Dr. Ali BOZBEY

Tez Danışmanı

Tez Jüri Üyeleri

Başkan : Dr. Celal Alp TUNÇ

Üye : Yrd. Doç. Dr. Sevgi Zübeyde GÜRBÜZ

Üye : Doç. Dr. Ali BOZBEY

TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, ayrıca tez yazım kurallarına uygun olarak hazırlanan bu çalışmada orijinal olmayan her türlü kaynağa eksiksiz atıf yapıldığını bildiririm.

Yiğit TÜKEL

Üniversitesi : TOBB Ekonomi ve Teknoloji Üniversitesi
Enstitüsü : Fen Bilimleri Enstitüsü
Anabilim Dalı : Elektrik ve Elektronik Mühendisliği
Tez Danışmanı : Doç. Dr. Ali BOZBEY
Tez Türü ve Tarihi : Yüksek Lisans – Aralık 2013

Yiğit TÜKEL

**TEK AKI KUANTUM TABANLI ANALOG VE DİJİTAL DEVRELER İÇİN
ENİYİLEME ARACI GELİŞTİRİLMESİ**

ÖZET

Süperiletken elektroniğinin keşfiyle yarıiletken teknolojisi kullanılarak oluşturulamayacak derecede hassas algılayıcı okuma devreleri ve çok düşük güç tüketimli dijital devreler tasarlanabilir konuma gelmiştir. Ancak analog ve dijital devreler için termal gürültüyü ve üretim toleranslarını hesaba katan bir eniyileme aracı bulunmamaktadır. Bu çalışma kapsamında analog devreler için termal gürültüyü dikkate alan bir eniyileme aracı tasarlanmış ve araç süperiletken algılayıcı okuma devrelerinde bir bitlik karşılaştırıcı devresi olan Quasi One-junction SQUID (QOS) devresiyle test edilip sonuçları deneysel olarak doğrulanmıştır. Süperiletken SFQ (Single Flux Quantum) dijital devrelerin üretimde oluşan parametre toleransları dijital hücrelerin gecikme sürelerinde değişimlere, hatta hücrelerin düzgün çalışmamasına yol açar. SFQ dijital devreler tasarlanırken sinyallerde yapılan zamanlamalar bu parametre toleransları hesaba katılmazsa devrenin yanlış çalışmasına yol açar. Üretim kaynaklı toleranslar hesaba katıldığında ise zamanlama marjları geniş tutulur ve devrelerin en yüksek çalışma frekansları büyük ölçüde kısıtlanmış olur. Bu çalışmada üretim kaynaklı parametre toleranslarını hesaba katarak dijital hücrelerin çalışma oranlarını yükseltip gecikmelerdeki değişimleri en düşük düzeye indiren bir dijital devre eniyileme aracı oluşturulmuş ve RSFQ (Rapid Single Flux Quantum) dijital devre kütüphanesi eniyilenmiştir. Hem analog hem de dijital devre eniyileme araçlarında hızlı yakınsayan, kolay uygulanan Parçacık Sürü Eniyilemesi algoritması kullanılmış ve yakınsama süresini hızlandırıcı bir takım değişiklikler yapılmıştır.

Anahtar Kelimeler: Süperiletken elektroniği, RSFQ, QOS, Eniyileme, PSO

University : TOBB Economics and Technology University
Institute : Institute of Natural and Applied Sciences
Science Programme : Electrical and Electronics Engineering
Supervisor : Assoc. Prof. Dr. Ali BOZBEY
Degree Awarded and Date : Master of Science – December 2013

Yiğit TÜKEL

**DEVELOPMENT OF AN OPTIMIZATION TOOL FOR SINGLE FLUX
QUANTUM BASED ANALOG AND DIGITAL CIRCUITS**

ABSTRACT

Discovery of superconductor electronics has enabled the design of low power consumption digital circuits and so sensitive sensor readout circuits that cannot be achieved by using semiconductor technology. However, there is no existing optimization tool that takes thermal noise and fabrication tolerances into account for analog and digital circuits. In this work, an analog circuit optimization tool that considers thermal noise has been generated. Then, one bit comparator Quasi One-junction SQUID (Superconductor QUantum Interference Device) circuits are optimized using this tool and the results are experimentally proved. The parameter tolerances, occurs during the fabrication of superconductor SFQ (Single Flux Quantum) digital circuits, cause the variations in the delay time of digital cells, even not to operate of the cells. If these fabrication tolerances are not considered when designing SFQ digital circuits, they bring about malfunction of the circuits. When the fabrication induced tolerances are taken into account, timing margins are kept large. Thus, maximum operating frequencies of the circuits are highly limited. In this work, a digital optimization tool has also been created that mitigates variations in the delays of digital cells by maximizing the yield rates and RSFQ (Rapid Single Flux Quantum) digital circuit library has been optimized. A particle swarm optimization algorithm, has ability to converge rapidly and easy to implement, has been used for both analog and digital circuits optimizations and a number of modifications have been done in order to speed up the converging time.

Keywords: Superconductor, SQUID, RSFQ, QOS, Optimization, PSO

TEŞEKKÜR

Çalışmalarım boyunca yardım ve katkılarıyla beni yönlendiren değerli danışmanım Doç. Dr. Ali BOZBEY'e, ihtiyaç olduğu her zaman yardımlarını esirgemeyen Prof. Dr. İman ASKERBEYLİ ve Dr. Celal Alp TUNÇ'a, kıymetli tecrübelerinden faydalandığım tüm TOBB Ekonomi ve Teknoloji Üniversitesi Elektrik Elektronik Mühendisliği Bölümü öğretim üyelerine, yardımlarını esirgemeyen tüm asistan arkadaşlarıma, sağladığı yüksek lisans bursundan dolayı TÜBİTAK'a, desteklerini her zaman hissettiğim aileme teşekkürü bir borç bilirim.

Yapılan çalışmalar 111E191 no'lu TÜBİTAK projesi tarafından desteklenmiştir.

Bu çalışmada kullanılan yongalar CRAVITY AIST¹ tarafından STP2² üretim teknolojisiyle üretilmiştir. AIST-STP2, ISTE³ tarafından geliştirilen Nb tabanlı devre üretim teknolojisidir.

¹ Clean Room for Analog-digital superconductiVITY of National Institute of Advanced Industrial Science and Technology

² Standart Process 2

³ International Superconductivity TEchnology Center

İÇİNDEKİLER

	Sayfa
İÇİNDEKİLER	VI
ÇİZELGELERİN LİSTESİ.....	VIII
ŞEKİLLERİN LİSTESİ	IX
KISALTMALAR	XII
SEMBOL LİSTESİ	XIII
İNGİLİZCE TERİMLER LİSTESİ.....	XIV
1 GİRİŞ	1
2 TEORİ.....	6
2.1 Josephson Eklemi	6
2.1.1 Dirençle ve Kapasitörle Paralel Bağlanmış Eklem Modeli (RCSJ: Resistively and Capasitively Shunted Junction Model)	7
2.2 SQUID.....	10
2.2.1 DC SQUID	10
2.2.2 Quasi One Junction SQUID (QOS)	14
2.3 Hızlı Tek Akı Kuantum Devreler (RSFQ-Rapid Single Flux Quntum).....	17
2.3.1 Josephson iletim hattı (JTL: Josephson Transmission Line)	21
2.3.2 Ayırıcı iletim hattı (Splitter).....	24
2.3.3 Tampon devre (Buffer)	25
2.3.4 Birleştirici devre (Merger - Confluence Buffer)	27
2.3.5 T Flip Flop (TFF)	29
2.3.6 Sıralı Mantık Devreleri (Sequential Logic Circuits).....	31
2.4 Parçacık Sürü Eniyilemesi (PSO-Particle Swarm Optimization).....	33
2.5 JSIM Benzeticisi.....	35
3 ÜRETİM TEKNOLOJİSİ.....	37
4 ENİYİLEME PROGRAMI.....	44
4.1 Eniyileme Algoritmasında Yapılan Değişiklikler	44
4.2 Analog Devre Eniyileyici	46
4.2.1 Hedef Fonksiyon	46
4.2.2 Analog Eniyileyici Programı.....	47

4.3	Dijital Devre Eniyileyici	53
4.3.1	Hedef Fonksiyon	53
4.3.2	Dijital Devre Eniyileyici Program	55
5	SONUÇLAR.....	58
5.1	QOS Ölçümleri.....	58
5.2	Eniyilenen Dijital Hücre Kütüphanesi	67
6	TARTIŞMA.....	89
	KAYNAKLAR	91
	ÖZGEÇMİŞ	96

ÇİZELGELERİN LİSTESİ

Çizelge 3.1: AIST STP2 taabaka özellikleri	38
Çizelge 3.2: AIST STP2 Tasarım kuralları	40
Çizelge 4.1: Benzetim sırasında kullanılan bilgisayarların teknik özellikleri.....	44
Çizelge 4.2: PSO'da kullanılan sürülerin katsayıları.....	46
Çizelge 5.1: Üretilen geleneksel QOS devrelerinin parametreleri.....	58
Çizelge 5.2: Tasarlanan JTL devresinin parametreleri ve kritik marjları	68
Çizelge 5.3: Tasarlanan Ayırıcı devresinin parametreleri ve kritik marjları	70
Çizelge 5.4: Tasarlanan birleştirici devresinin parametreleri ve kritik marjları	72
Çizelge 5.5: Tasarlanan TFF devresinin parametreleri ve kritik marjları	75
Çizelge 5.6: Tasarlanan DFF devresinin parametreleri ve kritik marjları	78
Çizelge 5.7: Tasarlanan VE kapısının parametreleri ve kritik marjları	81
Çizelge 5.8: Tasarlanan VEYA kapısının parametreleri ve kritik marjları.....	84
Çizelge 5.9: Tasarlanan ÖZEL VEYA kapısının parametreleri ve kritik marjları	87

ŞEKİLLERİN LİSTESİ

Şekil 1.1: Cıva elementinin sıcaklık-direnç karakteristiği [1]	1
Şekil 1.2: Süperiletken malzemenin süperiletken özellik gösterdiği kritik koşullar....	2
Şekil 1.3: Süperiletken malzemenin içinde bulunduğu manyetik alanı dışarlaması [3]	3
Şekil 1.4: a)'da Elektronların normal iletkenler içerisinde hareketi b) ve c)'de Cooper çiftlerinin süperiletken malzeme içerisindeki hareketi	4
Şekil 2.1: Josephson Eklemleri [16].....	6
Şekil 2.2: RCSJ devre gösterimi	8
Şekil 2.3: Farklı β_C değerleri için eklem IV grafiği [9]	9
Şekil 2.4: Paralel dirençle β_C parametresi bire eşitlenen Josephson eklemının bilgisayar destekli tasarım programıyla çizimi ve AIST CRAVITY tarafından üretilmiş eklem fotoğrafı.....	10
Şekil 2.5: DC SQUID'in şematik gösterimi [9]	11
Şekil 2.6: Doğrusal olarak artan manyetik alana uygulandığında DC SQUID üzerinde indüklenen akım ve halka içerisindeki akımın değişimi	12
Şekil 2.7: DC SQUID'in eklemının I-V grafiği ve çıkış terminallerindeki gerilim	13
Şekil 2.8: AIST CRAVITY tarafından üretilen iki adet sağ ve sol tarafta olmak üzere paralel dirençle histerisisi giderilmemiş SQUID devresinin fotoğrafı	14
Şekil 2.9: QOS devresinin şematiği	14
Şekil 2.10: QOS devresinin doğrusal artan giriş gerilimine karşı çıkış gerilimi	15
Şekil 2.11: Bir QOS devresinin doğrusal artan giriş akımına göre anahtarlanma olasılığının ortamın sıcaklığına bağlılığı [19].....	16
Şekil 2.12: Josephson eklemının I-V karakteristiği ve manyetik kuantanın eklem üzerindeki etkisi	18
Şekil 2.13: DC-SFQ çevirici devresinin giriş çıkış gerilim grafiği.....	19
Şekil 2.14: SFQ-DC çevirici devresinin giriş-çıkış gerilim grafiği	20
Şekil 2.15: Josephson iletim hattı. $I_{C1}= I_{C2}= I_{C3}= I_C$, $L_1= L_2= L_3= L_4= L$	22
Şekil 2.16: Josephson iletim hattında SFQ darbesinin ilerlemesi	23
Şekil 2.17: Ayırıcı devrenin şematiği	24
Şekil 2.18: Ayırıcı devrede SFQ sinyalinin iletimi	25
Şekil 2.19: Tampon devre	26
Şekil 2.20: Tampon devrede SFQ darbesinin eklemelerde iletimi	27
Şekil 2.21: Birleştirici devresinin şematiği	28
Şekil 2.22: Birleştirici devresinde SFQ darbesinin ilerleyişi	29
Şekil 2.23: T flip flop	30
Şekil 2.24: T flip flop devresinde SFQ darbesi.....	31
Şekil 2.25: D flip flop devresinin şematiği	32
Şekil 2.26: DFF devresinin çalışması	33
Şekil 2.27: Örnek bir JSIM netlisti ve netliste ait devre şematiği.....	35
Şekil 3.1 : AIST STP2 tabaka yerleşim kesiti ve tabaka kalınlıkları [45], [48].....	39
Şekil 3.2: AIST STP2 tabaka yerleşim kesiti verilen devrenin şematiği	40
Şekil 4.1: Doğru çalışmayan QOS devrelerinin çıkış gerilimleri	48
Şekil 4.2: Düzgün çalışan QOS devresinin gürültüsüz benzetimi	48
Şekil 4.3: Analog eniyileme sürecinin akış diyagramı.....	50
Şekil 4.4: Analog Eniyileyici programın grafik kullanıcı arayüzü	51

Şekil 4.5: Analog eniyileyiciyle eniyilenen QOS devrelerin seçimini	52
Şekil 4.6: Analog eniyileyici programının farklı çalışmalarının en iyi gri bölgelerinin	52
Şekil 4.7: Dijital devre eniyileyicisinin akış diyagramı	54
Şekil 4.8: 3-sigma kuralı [65]	55
Şekil 4.9: Dijital devre eniyileyicide eniyilenecek devre netlistinin seçimi	56
Şekil 4.10: Dijital devre eniyileyici programının grafik kullanıcı arayüzü	57
Şekil 5.1: Birinci tasarımın üretilmiş test devresi ile birlikte fotoğrafı.....	59
Şekil 5.2: Birinci tasarımın üretilmiş yakın plan fotoğrafı	59
Şekil 5.3: Birinci tasarımın besleme akımına bağlı gri bölge genişliğinin ölçüm ve benzetim sonuçları	60
Şekil 5.4: İkinci tasarımın üretilmiş test devresi ile birlikte fotoğrafı	61
Şekil 5.5: İkinci tasarımın üretilmiş yakın plan fotoğrafı	61
Şekil 5.6: İkinci tasarımın besleme akımına bağlı gri bölge genişliğinin ölçüm ve benzetim sonuçları	62
Şekil 5.7: Üçüncü tasarımın üretilmiş test devresi ile birlikte fotoğrafı	63
Şekil 5.8: Üçüncü tasarımın üretilmiş yakın plan fotoğrafı	63
Şekil 5.9: Üçüncü tasarımın besleme akımına bağlı gri bölge genişliğinin ölçüm ve benzetim sonuçları	64
Şekil 5.10: Dördüncü tasarımın üretilmiş test devresi ile birlikte fotoğrafı.....	65
Şekil 5.11: Dördüncü tasarımın üretilmiş yakın plan fotoğrafı.....	65
Şekil 5.12: Dördüncü tasarımın besleme akımına bağlı gri bölge genişliğinin ölçüm ve benzetim sonuçları.....	66
Şekil 5.13: En iyilene JTL devresinin şematiği ve üretilen devrenin fotoğrafı	67
Şekil 5.14: Tasarlanan JTL devresiyle $\pm 0.5\%$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı	67
Şekil 5.15: Tasarlanan JTL devresinin parametre marjları	68
Şekil 5.16: Tasarlanan Ayırıcı devresinin şematiği ve üretilen devrenin fotoğrafı ..	69
Şekil 5.17: Tasarlanan ayırıcı devresiyle $\pm 0.5\%$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı	69
Şekil 5.18: Tasarlanan ayırıcı devresinin parametre marjları	70
Şekil 5.19: Tasarlanan birleştirici devresinin şematiği ve üretilen devrenin fotoğrafı	71
Şekil 5.20: Tasarlanan birleştirici devresiyle $\pm 0.5\%$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı	71
Şekil 5.21: Tasarlanan birleştirici devresinin paramater marjları	73
Şekil 5.22: Tasarlanan TFF devresinin şematiği ve üretilen devrenin fotoğrafı.....	74
Şekil 5.23: Tasarlanan TFF devresiyle $\pm 0.5\%$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı	74
Şekil 5.24: Tasarlanan TFF devresinin paramater marjları.....	76
Şekil 5.25: Tasarlanan DFF devresinin şematiği ve üretilen devrenin fotoğrafı	77
Şekil 5.26: Tasarlanan DFF devresiyle $\pm 0.5\%$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı	77
Şekil 5.27: Tasarlanan DFF devresinin paramater marjları	79
Şekil 5.28: Tasarlanan VE kapısının şematiği ve üretilen devrenin fotoğrafı	80
Şekil 5.29: Tasarlanan VE kapısıyla $\pm 0.5\%$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı	80

Şekil 5.30: Tasarlanan VE kapısının parametre marjları	82
Şekil 5.31: Tasarlanan VEYA kapısının şematiği ve üretilen devrenin fotoğrafı.....	83
Şekil 5.32: Tasarlanan VEYA kapısıyla $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı	83
Şekil 5.33: Tasarlanan VEYA kapısının parametre marjları	85
Şekil 5.34: Tasarlanan ÖZEL VEYA kapısının şematiği ve üretilen devrenin fotoğrafı.....	86
Şekil 5.35: Tasarlanan ÖZEL VEYA kapısıyla $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı	86
Şekil 5.36: Tasarlanan ÖZEL VEYA kapısının parametre marjları	88

KISALTMALAR

BCS	Bardeen Cooper Schrieffer
DC	Dođru akım (Direct Current)
DFD	D flip flop
JJ	Josephson eklemi (Josephson Junction)
JTL	Josephson İletim Hattı (Josephson Transmission Line)
PTL	Pasif İletim Hattı (Passive Transmission Line)
PSO	Parçacık Sürü Eniyilemesi (Particle Swarm Optimization)
RSFQ	Hızlı Tek Akı Kuantum (Rapid Single Flux Quantum)
SFQ	Tek Akı Kuantası (Single Flux Quanta)
SQUID	Süperiletken Kuantum Girişim Cihazı (Superconductor QUantum Interference Device)
QOS	Quasi One-junction SQUID
TFF	T flip flop

SEMBOL LİSTESİ

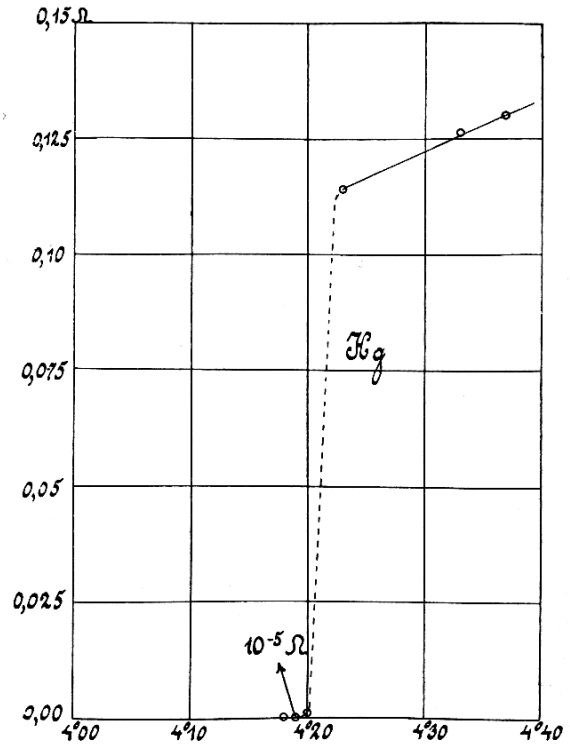
H_C	Kritik manyetik alan
I_B	Besleme akımı
I_C	Kritik akım
J_C	Kritik akım yoğunluğu
T_C	Kritik sıcaklık
ϕ_0	Manyetik akı kuantası

İNGİLİZCE TERİMLER LİSTESİ

Ayırıcı	Splitter
Başvuru çizelgesi	Look up table
Benzetici	Simulator
Benzetim	Simulation
Birleştirici	Merger - Confluence Buffer
Çalışma oranı	Yield rate
Daralma	Shrinkage
Eşleme	Coupling
Hızlı Tek Akı Kuantum	Rapid Single Flux Quantum
Parçacık Sürü Eniyilemesi	Particle Swarm Optimization
Sıralı Mantık Devreleri	Sequential Logic Circuits
Süperiletken Kuantum Girişim Cihazı	Superconductor QUantum Interference Device
Tabaka	Plane
Temas Oyuğu	Contact hole
Yonga	Chip
Yonga plakası	Wafer

1 GİRİŞ

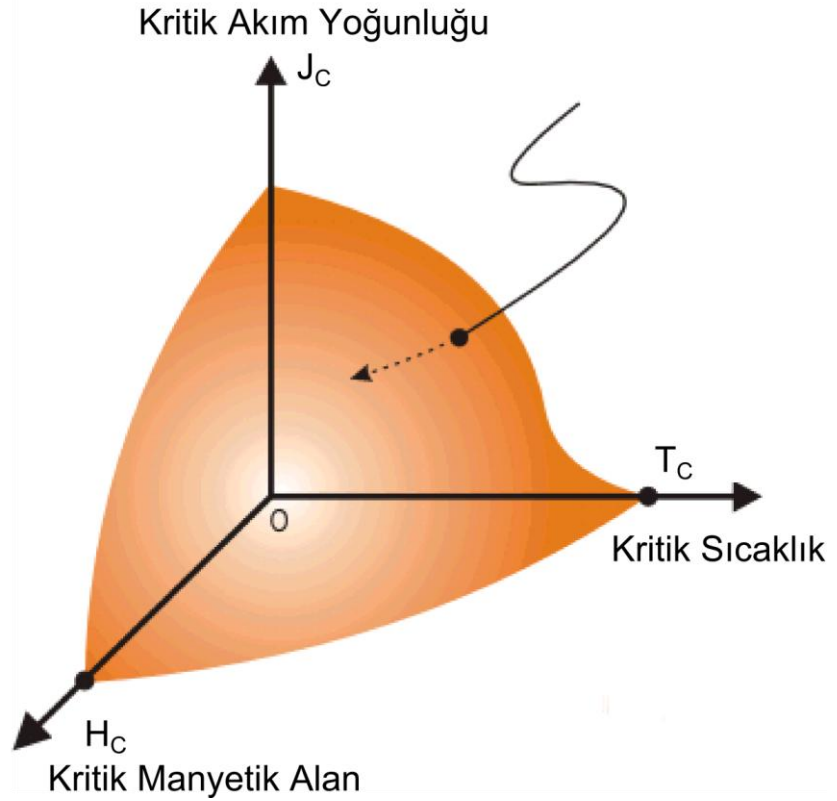
Süperiletkenlik, H. Kamerlingh Onnes tarafından 1911 yılında maddelerin düşük sıcaklıklardaki iletkenlikleri incelenirken bulunmuştur. Cıva elementinin sıcaklık-iletkenlik ilişkisini incelenirken, cıvanın direncinin 4.2 K'de aniden sıfıra düşmesiyle yeni bir çalışma alanı açılmış ve Kamerlingh Onnes bu alandaki çalışmalarıyla 1913 Fizik Nobel Ödülüne layık görülmüştür. Şekil 1.1'de Cıva elementinin 26 Ekim 1911'de Kamerlingh Onnes tarafından elde edilmiş sıcaklık – direnç grafiği görülmektedir [1].



Şekil 1.1: Cıva elementinin sıcaklık-direnç karakteristiği [1]

Süperiletkenliğin keşfinden sonrasında yapılan çalışmalar, maddelerin süperiletkenlik özelliğinin sadece belli koşullar altında geçerli olduğunu göstermiştir. Bunlardan ilki yukarıda bahsedilen kritik sıcaklık, T_c , değeridir. Süperiletken her

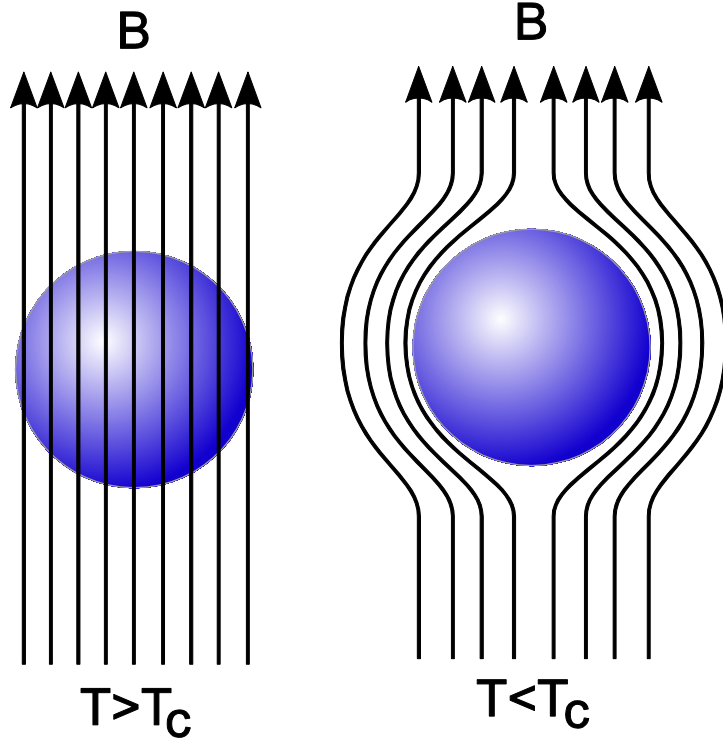
madde, yalnızca maddeye özel belirli bir sıcaklık değerin altında süperiletkenlik özelliği gösterir. İkinci koşul, kritik akım yoğunluğudur. Süperiletken maddeler, kritik sıcaklığın altında elektriği Copper çiftleri adı verilen elektronlar aracılığıyla iletirler. Bu elektron çiftlerinin sayısı sınırlı olduğundan belirli bir kritik akım yoğunluğunun, J_c , üzerinde malzeme rezistif duruma geçer. Son koşul ise kritik manyetik alandır. Süperiletken madde belirli bir manyetik alan, H_c , altında süperiletkenlik özelliği gösterir. Ayrıca, tüm bu kritik koşullar Şekil 1.2'deki gibi birbirine bağımlıdır. Kritik sıcaklığın altındaki sıcaklık değerleri kritik akım yoğunluğunu artırır ve aynı şekilde manyetik alan arttıkça kritik akım yoğunluğu ile kritik sıcaklık değerleri birbirine bağlı olarak azalır.



Şekil 1.2: Süperiletken malzemenin süperiletken özellik gösterdiği kritik koşullar

1933'te Walter Meissner ve Robert Ochsenfeld süperiletken maddelerin manyetik özelliklerini incelerken süperiletken malzemelerin manyetik alanı dışarladığını

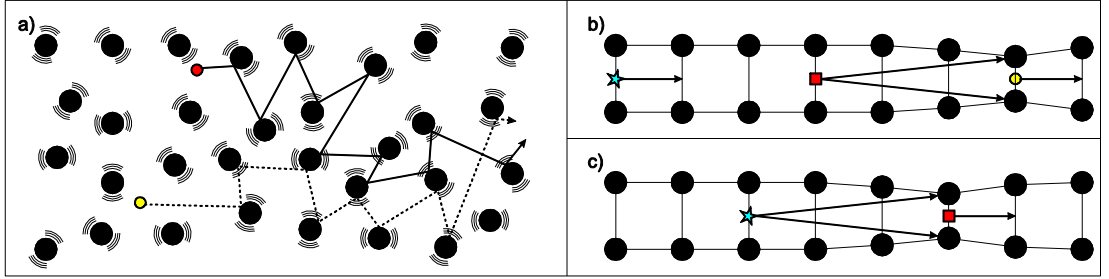
keşfetmişlerdir [2]. Süperiletken malzemelerin bu kusursuz diamanyetik özelliği Meissner Etkisi olarak bilinir. Meissner etkisi sayesinde belirli bir manyetik alan altında soğutulan süperiletken, Şekil 1.3'te gösterildiği gibi üzerindeki manyetik alanı dışarlayacak şekilde bir akı depolar ve bu sayede manyetik alan içerisinde konumunu sabit tutmak ister. Eğer bulunduğu ortamda çevresindeki manyetik alanın şiddeti ve örüntüsü değişiyorsa hareket ettirildiğinde geleneksel mıknatıs davranışının aksine hem itme hem de çekme kuvveti gösterebilir. Meissner Etkisi, günümüzde Maglev trenleri, elektrik motorları, jeneratörler vb. başta olmak üzere birçok endüstriyel uygulamada ağırlıklı olarak kullanılmaktadır.



Şekil 1.3: Süperiletken malzemenin içinde bulunduğu manyetik alanı dışarlaması [3]

Süperiletkenler hakkında ilk kapsamlı teori 1957 yılında John Bardeen, Leon Cooper ve John Schrieffer tarafından hazırlanmış olup 1972 yılında gruba Fizik Nobel Ödülü kazandırmıştır [4]. BCS Teorisi olarak bilinen bu teori günümüzde halen saf elementler için geçerliliğini korumasına rağmen, birden fazla elementten oluşan karmaşık yapıları yüksek sıcaklık süperiletkenlerini tam olarak kapsamamaktadır.

Normal iletkenlerde elektronlar elektrik alanda ilerlerken Şekil 1.4 a'daki gibi atomların titreşim hareketlerinden dolayı atomlara çarparak ısı enerjisi oluştururlar. BCS teorisine göre ise süperiletken maddelerde atom hareketleri kritik sıcaklığın altında minimum düzeye iner ve elektronlar kristal yapı içinde atomlara çarpmadan ilerleyebilirler. Bir elektron Şekil 1.4 b'deki yuvarlak elektron gibi atomların arasından geçerken Coulomb kuvvetinden dolayı atomlar birbirine yaklaşır. Arkadan gelen kare elektron ise birbirine yaklaşan bu atomlar tarafından çekilirler ve bu hareket bir dalga şeklinde devam eder. Şekil 1.4 c'de ise bu sefer kare elektronun birbirine yakınlaştırdığı atomlar arkadan gelen yıldız elektronunu çeker. Bu elektron çiftlerine Cooper çifti denir ve Cooper çiftleri yukarıda anlatıldığı şekilde sürekli eş değiştirirler.



Şekil 1.4: a)'da Elektronların normal iletkenler içerisinde hareketi b) ve c)'de Cooper çiftlerinin süperiletken malzeme içerisindeki hareketi

Süperiletken elektroniğine yönelik uygulamaların önünü açan en önemli buluşlardan birisi 1962 yılında Brian D. Josephson tarafından ortaya konmuştur [5]. Josephson Etkisi olarak adlandırılan bu etkiye göre, iki süperiletken malzeme nano düzeyde bir iletken veya yalıtkan ile ayrıldığında Cooper çiftleri bu tabakadan tünelleyerek geçebilir. İki terminalli bu yapıya Josephson Ekleme (JJ: Josephson Junction) denir ve bu yapı neredeyse tüm süperiletken elektroniği uygulamaların temel yapı taşıdır.

Josephson ekleminin keşfinden kısa bir süre sonra, günümüzdeki en hassas manyetik alan sensörü olan Süperiletken Kuantum Girişim Cihazı (SQUID: Superconductor QUantum Interference Device) bulunmuştur [6]–[8]. SQUID'lerin temel çalışma prensibi Josephson etkisi ve akı kuantalama prensibine dayanır. SQUID'ler

vasıtasıyla 10^{-18} T mertebesindeki manyetik alanlar bile ölçülebilir duruma gelmiştir [9]. Günümüzde bu sensörler savunma sanayinde, medikal alanda tahribatsız muayenede ve değerli maden ve petrol arama gibi bir çok alanda yoğun bir şekilde kullanılmaktadır [10]–[13].

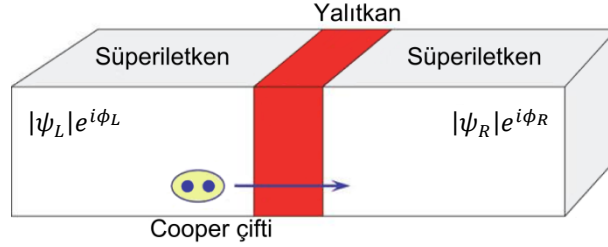
Dijital elektronik alanında, Josephson eklemleri kullanılarak oluşturulan ilk tam dijital devre ailesi Hızlı Tek Akı Kuantum (RSFQ: Rapid Single Flux Quantum) mantık devreleridir, 1980'lerin sonlarında Konstantin K. Likharev, Oleg A. Mukhanov ve Vasili K. Sememov tarafından oluşturulmuştur [14], [15]. Bu aile mantıksal veriyi, önceki süperiletken elektroniği girişimlerdeki ve yarıiletken teknolojisindeki standart mantık voltaj seviyesinin aksine manyetik akı kuantalarını kullanarak tutmaktadır. Süperiletken halkalarda depolanan akının varlığı mantıksal "1", yokluğu mantıksal "0" olarak kabul edilir. Bu durum Bölüm 2'de ayrıntılı bir şekilde anlatılmaktadır.

2 TEORİ

2.1 Josephson Eklemleri

Josephson eklemleri Şekil 2.1'de görüldüğü gibi birbirine zayıf bağlanmış iki süperiletken elektrottan oluşur. Uygulamada en çok süperiletken-yalıtkan-süperiletken (SIS: Superconductor-Insulator-Superconductor) türü kullanılmakla birlikte; süperiletken-normal-süperiletken (SNS: Superconductor-Normal-Superconductor), mikroköprü eklemleri, nokta temas eklemleri gibi türleri de vardır. SIS eklemlerinde süperiletken akım Cooper çiftlerinin yalıtkan tabakadan tünellenmesiyle taşınır. Süperiletken akım I_s , denklem (2.1)'deki gibi iki süperiletken elektrotun makroskobik dalga fonksiyonlarının fazlarının farkına, δ , bağlıdır.

$$I_s = I_0 \sin \delta \quad (2.1)$$



Şekil 2.1: Josephson Eklemleri [16]

Denklem (2.1)'deki I_0 eklemin en büyük süper akımı veya kritik akımı olarak tanımlanmakta olup malzemeye ve üretim teknolojisine bağlı olarak sabittir. Bu denklem DC Josephson etkisi olarak bilinir. Eğer eklem kritik akım değerinin, I_0 , altında sabit bir akım ile beslenirse eklem üzerinde herhangi bir gerilim oluşmaz. Eğer faz farkı, δ , zamanla değişirse başka bir deyişle eklem kritik akımın altında AC

bir sinyal ile beslenirse, eklem üzerinde denklem (2.2)'de verildiği gibi bir U gerilimi oluşur. Bu etkiye de AC Josephson Etkisi denir.

$$\dot{\delta} \equiv \frac{d\delta}{dt} = \frac{2e}{\hbar} U = \frac{4\pi e}{h} U = \frac{2\pi}{\Phi_0} U \quad (2.2)$$

AC Josephson etkisinde ϕ_0 , manyetik akı kuantumudur ve değeri $\phi_0 = h/2e \approx 2.07 \times 10^{-15} \text{ Wb}$ 'e eşittir. Eğer ekleme gerilim uygulanmadığı durumda plazma salınımlarını ihmal edilirse faz farkı zamanla sabitlenir. Böylece durağan durumda eklem üzerinden I_S en büyük DC süper akım I_0 olacak şekilde akabilir. Dinamik bir sistemde ise eklem bir U gerilimiyle beslenirse Josephson akımı (2.3) denklemiyle verilen açısız frekansta veya başka bir deyişle denklem (2.4)'te verilen $1 \mu V$ başına 483.6 MHz Josephson frekansı ile salınım yapar.

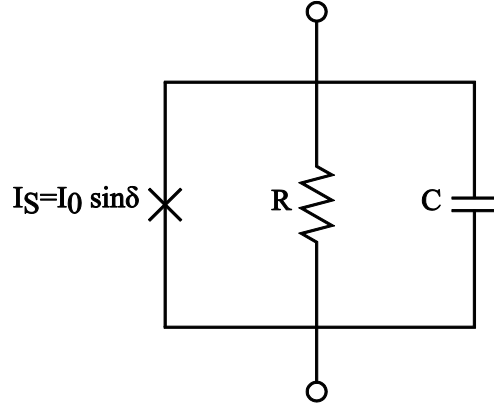
$$\omega_J = 2\pi U / \Phi_0 \quad (2.3)$$

$$f_J = \omega_J / 2\pi = U / \Phi \approx U \times 483.6 \text{ MHz} / \mu V \quad (2.4)$$

Burada U Josephson eklemi üzerindeki ortalama DC gerilimdir.

2.1.1 Direnç ve Kapasitörle Paralel Bağlanmış Eklem Modeli (RCSJ: Resistively and Capacitively Shunted Junction Model)

Josephson Eklemleri yapı itibariyle bir paralel plaka kapasitör olduğundan ve kritik akım değerinin üzerinde bir akım ile beslendiğinde bir direnç gösterdiğinden, devre benzetimlerinde direnç ve kapasiteyle paralel bağlanmış ideal Josephson eklemi (RCSJ) olarak kullanılırlar. RCSJ modelinin şematik devre gösterimi Şekil 2.2'de verilmiştir. Josephson eklemleri şematik gösterimde çarpı işareti ile temsil edilmektedir.



Şekil 2.2: RCSJ devre gösterimi

Şekil 2.2'deki modelde terminaller arası Kirchoff Akım Yasası uygulanırsa

$$I = I_0 \sin \delta + \frac{U}{R} + C \frac{dU}{dt} \quad (2.5)$$

Denklem (2.5)'te U yerine denklem (2.2) uygulanırsa

$$I = I_0 \sin \delta + \frac{\Phi_0}{2\pi} \frac{1}{R} \dot{\delta} + \frac{\Phi_0}{2\pi} C \ddot{\delta} \quad (2.6)$$

$V_C = I_0 R$ karakteristik gerilimdeki karakteristik Josephson frekansı denklem (2.7)'deki gibi verilir ve denklem (2.8)'deki değer Stewart-McCumber parametresi olarak tanımlanırsa

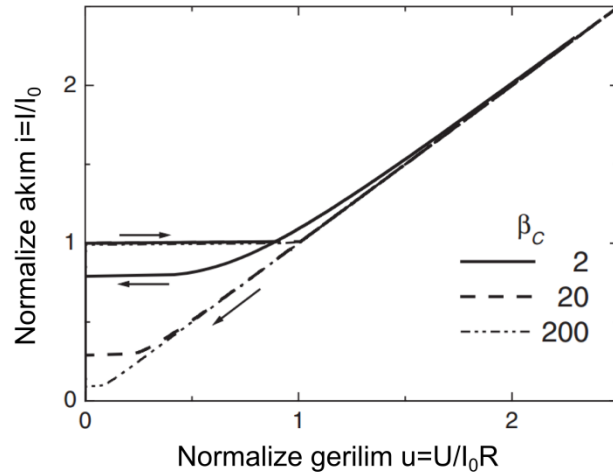
$$\omega_C = 2\pi I_0 R / \Phi_0 \quad (2.7)$$

$$\beta_C = 2\pi I_0 R^2 C / \Phi_0 \quad (2.8)$$

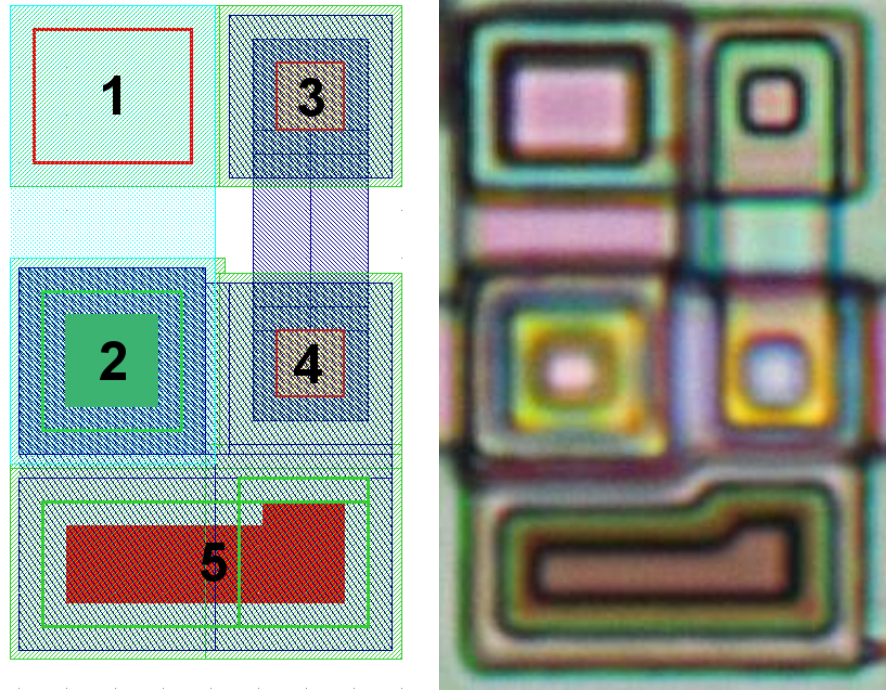
Akım denklemi denklem (2.9)'daki gibi sadeleşir. Denklem (2.9)'da i değeri I/I_0 , yani normalize edilmiş akım olarak adlandırılır.

$$i = \sin \delta + \frac{1}{\omega_C} \dot{\delta} + \frac{\beta_C}{\omega_C} \ddot{\delta} \quad (2.9)$$

Şekil 2.3'te farklı β_C değerleri için Josephson eklemının IV grafiği verilmiştir. Şekilden anlaşılacağı gibi $\beta_C > 1$ değerinden sonra IV grafiğinde histerisiz oluşmakta ve resistif durumdan süperiletken duruma geçişteki dönüş akımı hızlı bir şekilde azalmaktadır. Bu histerisizi gidermek için birçok elektronik uygulamada Josephson eklemlerine paralel bir direnç bağlanarak β_C parametresi 1 değerine çekilir. Bilgisayar destekli tasarım programında çizilen bir eklemın çizimi ve üretilmiş fotoğrafı Şekil 2.4'te verilmiştir. Burada eklem turkuaz ve yeşil tabakalar arasında kalan 2 numaralı bölgedeki karedir. 1 numaralı bölgede eklemden gelen üçüncü metal olan turkuaz tabakasından ikinci metal olan yeşil tabakaya inilir. 3 numaralı bölgede yeşil tabakadan direnç tabakasına inilir. 4 numaralı bölgede ise lacivert direnç tabakasından eklemın alt metali olan yeşil tabaya tekrardan bağlantı kurulup, 5 numaralı bölgede kırmızı temas oyuğu açılarak toprak tabakasına inilir. Tabakalarla ilgili ayrıntılı bilgi 3. ÜRETİM TEKNOLOJİSİ bölümünde bulunabilir.



Şekil 2.3: Farklı β_C değerleri için eklemın IV grafiği [9]



Şekil 2.4: Paralel dirençle β_C parametresi bire eşitlenen Josephson eklemının bilgisayar destekli tasarım programıyla çizimi ve AIST CRAVITY tarafından üretilmiş eklemın fotoğrafı

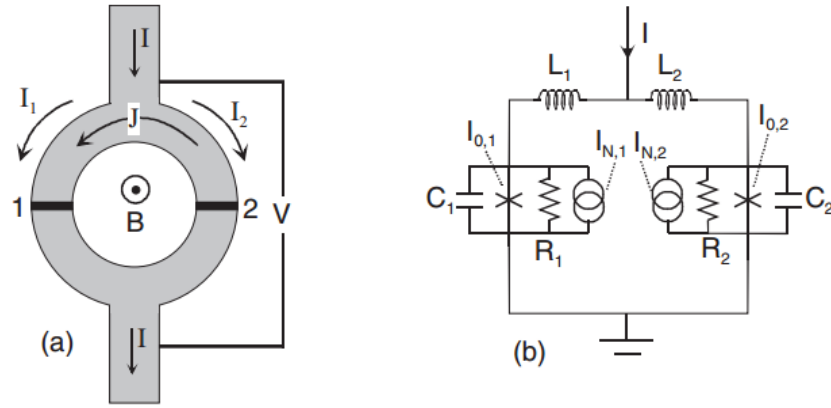
2.2 SQUID

SQUID ilk olarak 1960'lı yıllarda Josephson eklemlerinin araştırmalarda kullanılmasıyla ortaya çıkmıştır. SQUID'lerin çalışma prensibi, Josephson eklemi tarafından kuantalanan manyetik akının kullanılarak oldukça küçük ve hassas manyetik alan değişimlerinin ve çıkış sinyali geriliminin ölçülmesine dayanır. SQUID'lerle ölçülen en büyük akı değişimi $\Phi_0 = 2.07 \times 10^{-15} \text{ Wb}$ olması durumunda düşük sıcaklık SQUID'lerinde ($T \approx 4.2\text{K}$) yaklaşık $10^{-6} \Phi_0$ mertebesine kadar inebilir [17].

2.2.1 DC SQUID

DC SQUID, süperiletken halka içerisinde birbirine paralel bağlanmış iki eş Josephson ekleminden oluşmakta olup halka içerisinden geçen manyetik akıyı

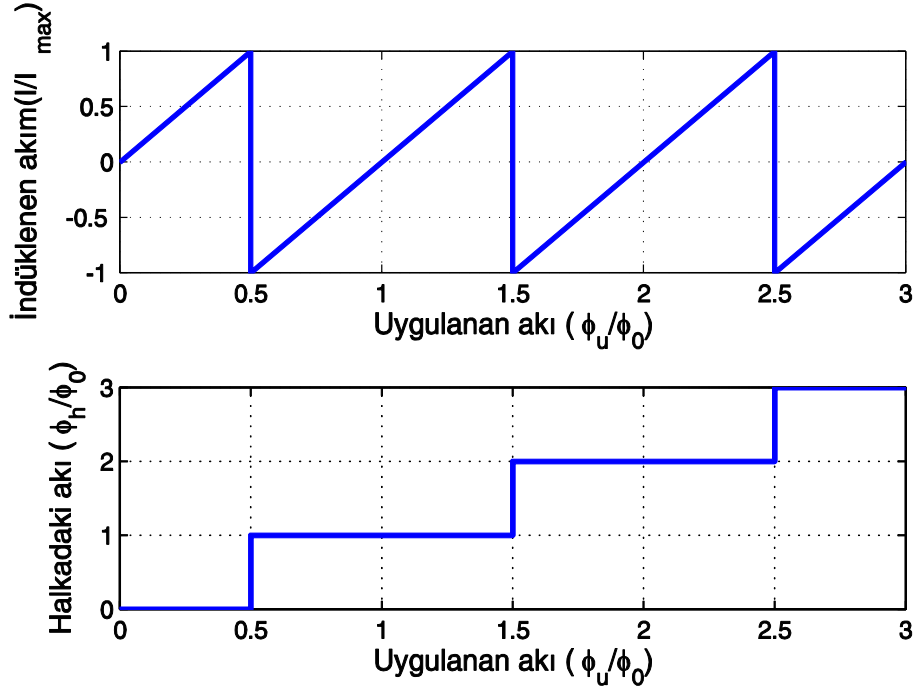
ölçmek için kullanılır. Şekil 2.5'te a kısmında DC SQUID'in geleneksel gösterimi, b kısmında ise şematik gösterimi yer almaktadır. Şeklin a bölümünde gri bölgeler süperiletken malzemeyi, 1 ve 2 numaralı siyah bölgeler ise Josephson eklemini oluşturan yalıtkan tabakayı temsil etmektedir. Şekil 2.5'in b kısmında 1 ve 2 numaralı eklemlerin RCSJ modelleri yer almaktadır. Buradaki I_{N1} ve I_{N2} elemanları eklemlerin dirençlerindeki termal gürültüyü temsil etmektedirler.



Şekil 2.5: DC SQUID'in şematik gösterimi [9]

DC SQUID manyetik alanı, süperiletken halkaların manyetik akıyı kuantalama özelliğini kullanarak ölçmektedirler. DC SQUID halkasının içerdiği manyetik akı, simetrik kolların süperiletken dalga fonksiyonlarının birbirine girişiminden dolayı ϕ_0 'ın tam katları olmak zorundadır. DC SQUID içerisine uygulanan manyetik akı ϕ_0 'ın tam katı olmadığı durumda, süperiletken halka üzerinde bir akım indükleyerek halka içerisinde bulunan manyetik akıyı ϕ_0 'ın en yakın tam katına çeker. Josephson eklemleri ise halka üzerindeki kolların kritik akımlarını sınırlar ve I-V karakteristiğinden yararlanarak indüklenen akımı algılamaya yararlar. Eğer Şekil 2.5'te gösterildiği gibi halkaya dışarı doğru bir manyetik alan uygulanmaya başlandığında, DC SQUID, içerisindeki manyetik akıyı sıfıra eşitlemek için saat yönünde bir akım indükler. Bu akım görüntüleme akımı olarak adlandırılır. Eğer halkaya uygulanan manyetik akı Şekil 2.6'da gösterildiği gibi $0.5\phi_0$ 'ı geçtiğinde DC SQUID içerisine bir manyetik akı kuantası olarak indüklediği akımı tersine çevirir.

Bu sayede daha az akım indükleyerek içerisindeki akıyı kuantalar. Uygulanan akım ϕ_0 'ın tam katına ulaştığında indüklenen akım sıfırdır. Bu olay Şekil 2.6'da gösterildiği şekilde periyodik olarak devam eder.



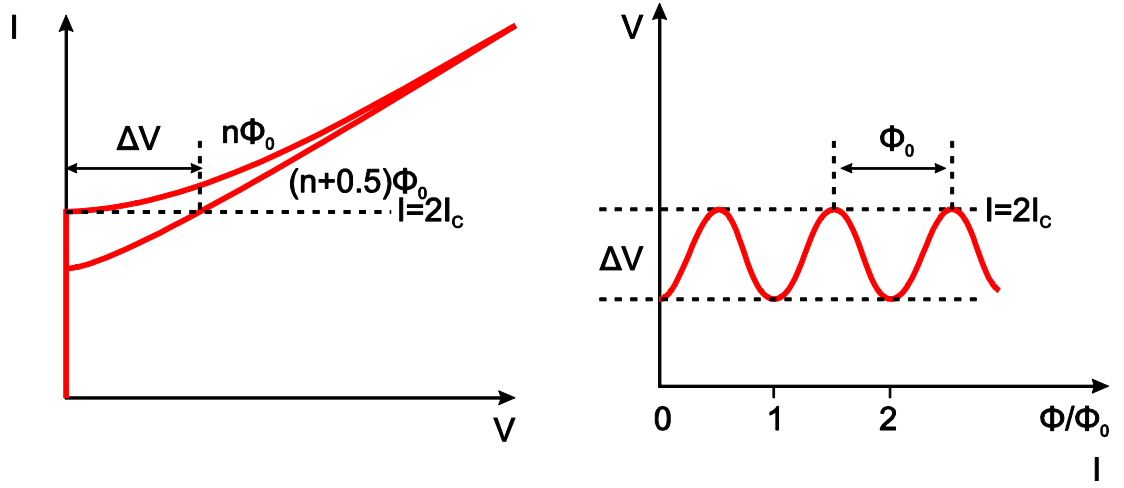
Şekil 2.6: Doğrusal olarak artan manyetik alana uygulandığında DC SQUID üzerinde indüklenen akım ve halka içerisindeki akımın değişimi

Bu manyetik akı değişimlerini okuyabilmek için ise DC SQUID'e $I=2I_C$ değerinde bir akım verilir. Eklemler eş olduğundan akımları eşit bir şekilde paylaşırlar. Eğer halkaya ϕ_0 'ın tam katı olmayan bir manyetik akı uygulandığında indüklenen akımın yönüne göre

$$I_1 = \frac{I}{2} + I_{ind} \quad (2.10)$$

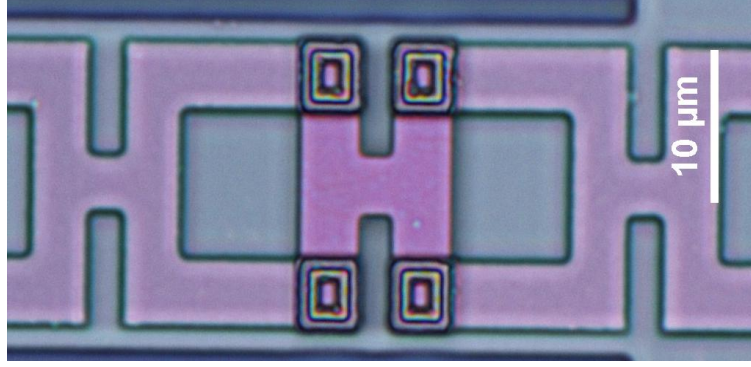
$$I_2 = \frac{I}{2} - I_{ind} \quad (2.11)$$

olacaktır. Eklemler kritik akımları kadar beslendiğinden birinci eklem süperiletken durumdan normal duruma geçer ve eklemin I-V grafiği Şekil 2.7'deki gibi aşağıya doğru kayar. DC SQUID üzerinde indüklenen maksimum akım $(n+0.5)\phi_0$ 'da ulaşıldığından en düşük kritik akım, bir başka deyişle sabit besleme altında en büyük gerilim bu değerlerde ulaşılır. Düzgün bir gerilim salınımı istendiğinden kullanılan eklemlerde histerezis olmamalıdır. Artan manyetik akı uyguladığımızda DC SQUID'in gerilimi Şekil 2.7'deki gibi periyodik olarak salınım yapar.



Şekil 2.7: DC SQUID'in eklemlerinin I-V grafiği ve çıkış terminallerindeki gerilim

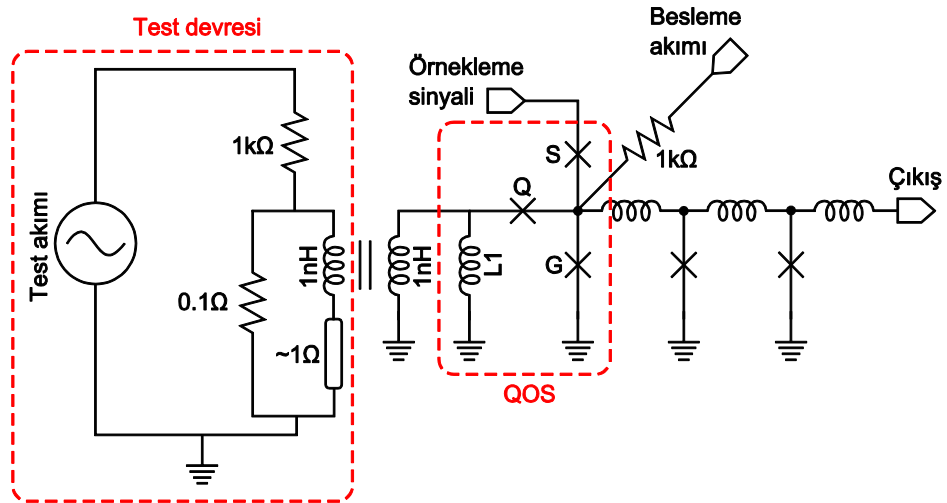
Eklemlerine paralel direnç bağlanmamış iki seri SQUID devresi Şekil 2.8'de görülmektedir. Üst katmandan gelen X şeklindeki süperiletken hatlar, H şeklindeki alt süperiletken hat ile Al-Al₂O₃ tabaka ile birleşiminden oluşur. Üretim ile ilgili daha ayrıntılı bilgi 3. ÜRETİM TEKNOLOJİSİ bölümünden ulaşılabilir.



Şekil 2.8: AIST CRAVITIY tarafından üretilen iki adet sağ ve sol tarafta olmak üzere paralel dirençle histerisi giderilmemiş SQUID devresinin fotoğrafı

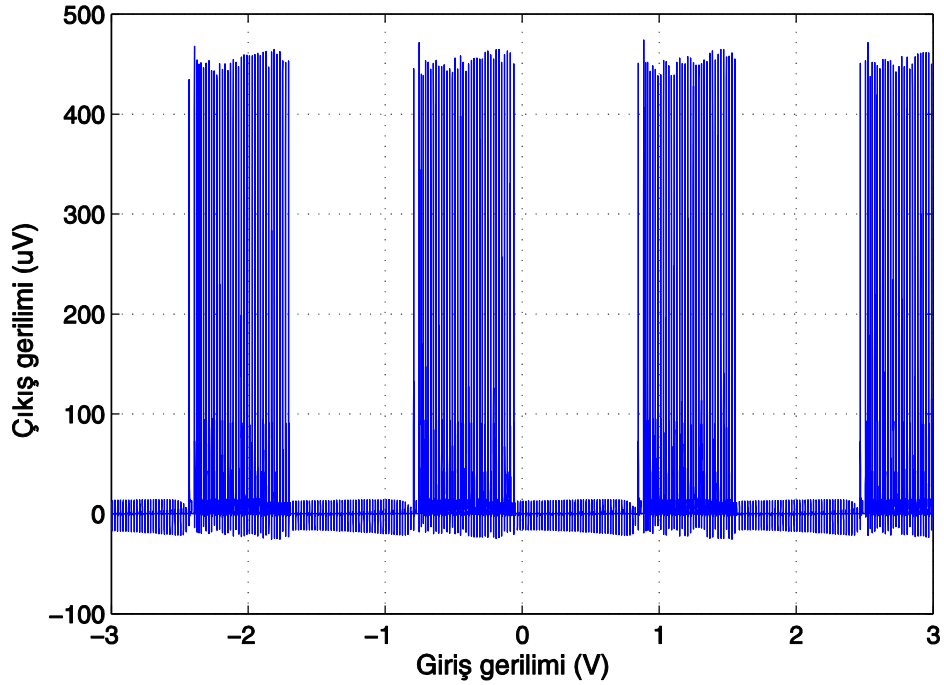
2.2.2 Quasi One Junction SQUID (QOS)

QOS devreleri, günümüz teknolojisiyle yapılabilecek en hassas karşılaştırıcı devreleri olup SFQ devrelerde analog sinyalleri dijital verilere çevirmek için kullanılırlar. Diğer karşılaştırıcılara göre temel avantajları düşük güç tüketimi, hassasiyet ve yüksek bant genişliğidir. SQUID benzeri bir yapı kullanılarak bir bitlik karşılaştırıcı olarak algılayıcı okuma devrelerinde ve analog dijital çeviricilerde kullanılır. Örnek bir QOS devresi şematiği Şekil 2.9'da verilmiştir.



Şekil 2.9: QOS devresinin şematiği

Temel olarak ana QOS yapısı Şekil 2.9'daki G, Q ve S eklemlerinden ve L1 indüktansından oluşur. Şekildeki 1Ω 'luk direnç voltaj kutuplu bir bolometre devresini temsil etmektedir [18]. Benzetimlerde ve QOS ölçümlerinde Test girişinden giren akımı değiştirerek bolometre devresinin direncinin değerinde değişim olduğu varsayılır. $1nH$ 'lik indüktanslardan eşleme ile geçen akım QOS devresine girer ve L1 üzerinden geçen akımın değerine göre S ekleminde bir SFQ darbesi geldiğinde G veya S eklemi anahtarlanır. Eğer S eklemi anahtarlanırsa SFQ darbesi S eklemi üzerinde sönümlenir ve çıkışta bir SFQ darbesi üretmez. Eğer S eklemi anahtarlanmazsa G eklemi anahtarlanır ve çıkışa bir SFQ darbesi iletir. devrenin girişine doğru giden SFQ darbesini ise Q eklemi anahtarlayarak sönümler. Temel SQUID yapısına sahip olduğundan karşılaştırıcının geçiş bölgeleri de periyodiktir. Standart bir QOS devresinin doğrusal artan bir giriş akımına göre çıkış grafiği Şekil 2.10'da verilmiştir.

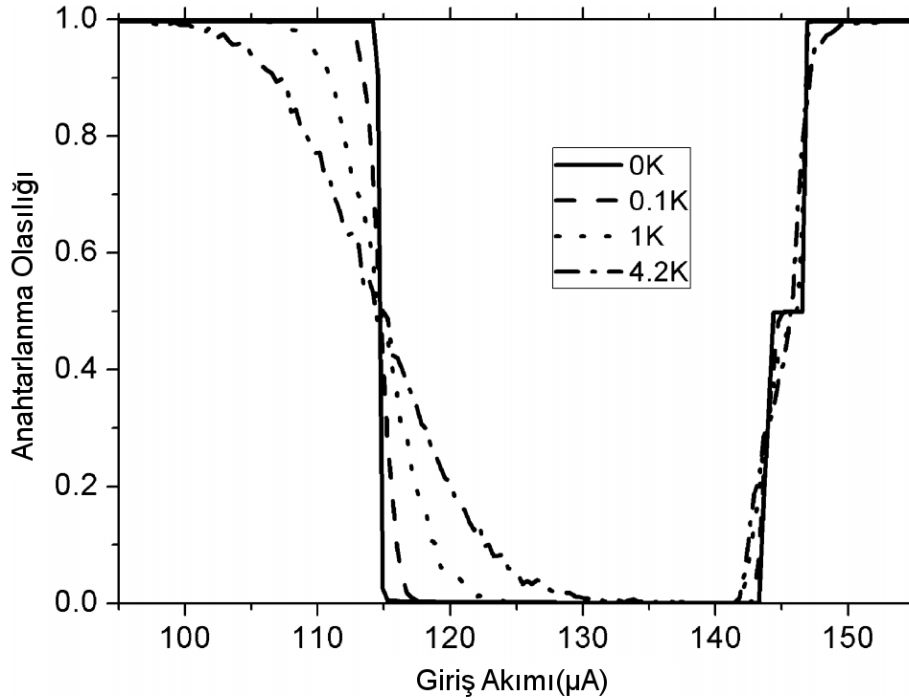


Şekil 2.10: QOS devresinin doğrusal artan giriş gerilimine karşı çıkış gerilimi

G, Q ve S eklemleri histerezi gidermek için paralel dirençler içerdiğinden, bu eklemlerin dirençleri denklem (2.12)'de verilen termal gürültüye sahiptirler.

$$i_N = \sqrt{\frac{4k_B T \Delta f}{R}} \quad (2.12)$$

Termal gürültüden dolayı karşılaştırıcının geçiş bölgelerinde Şekil 2.11'de verildiği gibi kararsız bir yapı oluşmasına neden olurlar. Bu bölgelerden QOS devresinin, giriş sinyalini örnekleyip örneklememesi bir olasılığa bağlıdır. İstenmeyen bu bölgeler, gri bölge olarak adlandırılırlar ve gri bölge genişliği sıcaklıkla doğru orantılı olarak artar. İyi bir QOS devresinden beklenen ise gri bölge genişliklerinin olabildiğince dar olmasıdır.



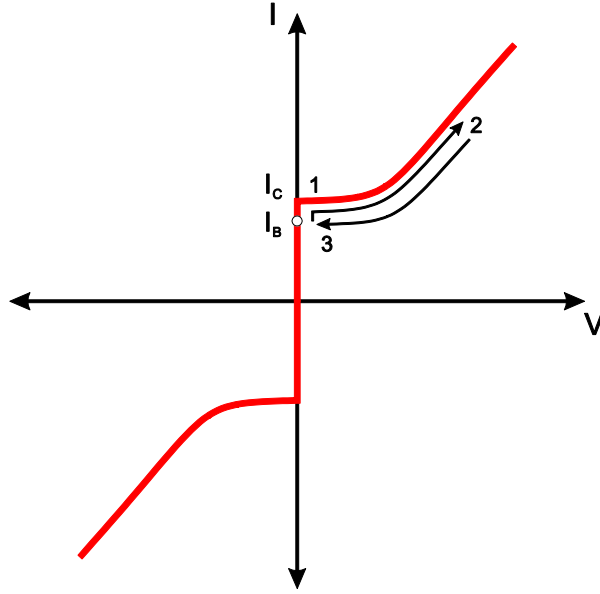
Şekil 2.11: Bir QOS devresinin doğrusal artan giriş akımına göre anahtarlama olasılığının ortamın sıcaklığına bağlılığı [19]

2.3 Hızlı Tek Akı Kuantum Devreler (RSFQ-Rapid Single Flux Quntum)

Hızlı Tek Akı Kuantum (RSFQ) devreler, süperiletken çok geniş ölçekli entegre devre teknolojisinin mantıksal devre ailelerinden biridir. RSFQ teknolojisiyle, çok küçük güç tüketimiyle yüksek işlem frekanslarına ulaşılabilir. Bu özellikleri sayesinde RSFQ teknolojisi; internet yönlendiricileri, sunucu çiftlikleri gibi yüksek işlem kapasitesi ve geniş veri yolu gerektiren uygulamalar için çok uygun bir adaydır [20], [21]. RSFQ devrelerinin hızı ve karmaşıklık düzeyi üretim teknolojilerine bağlıdır. Henüz istenilen karmaşıklık düzeyinde olmasa da üretim teknolojisindeki gelişmeler, eniyileştirilmiş standart dijital mantık devrelerinin kullanılmasıyla oldukça karmaşık devrelerin üretimi sağlamaktadır. Literatürde iki farklı grup tarafından geliştirilen işlemci girişimleri mevcuttur [22]–[28].

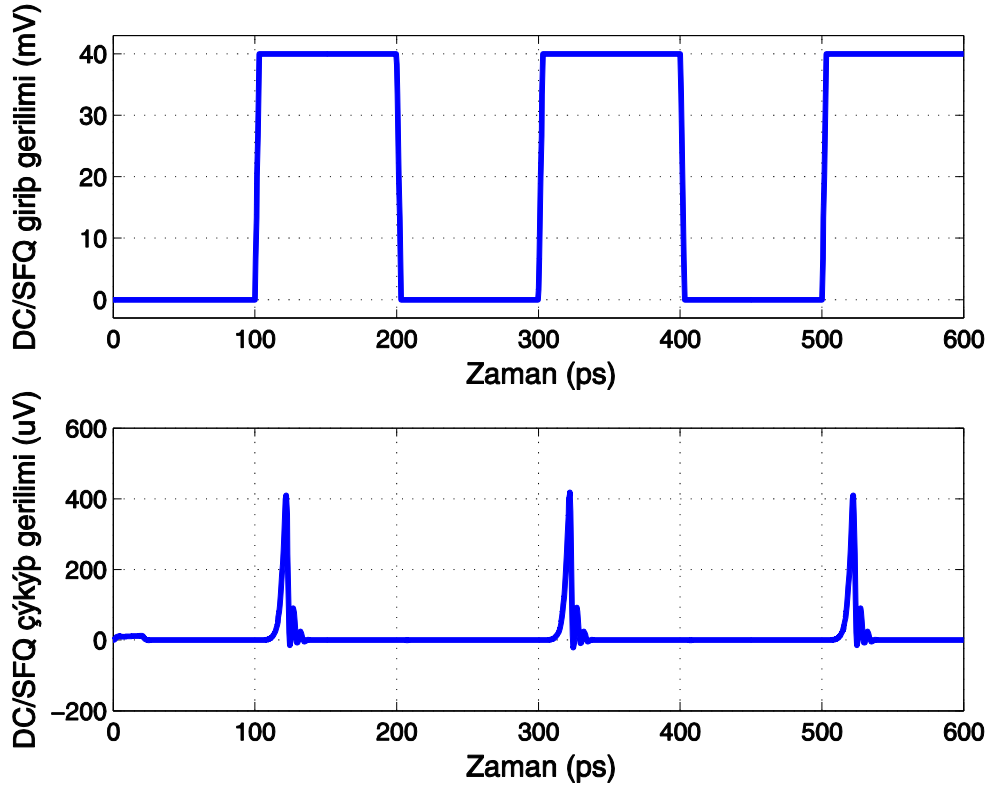
RSFQ devrelerde mantıksal veri, yarıiletken CMOS teknolojisindeki gerilim düzeyinin aksine piko saniye düzeyindeki gerilim kuantalarıyla tutulur. Bu kuanta, ϕ_0 , sabit olup değeri 2.07×10^{-15} Wb'e eşittir. Aynı şekilde, veriler gerilim seviyeleri yerine manyetik akı kuantalarıyla belirlendiğinden, RSFQ devreler sabit gerilim yerine sabit akım kaynağıyla beslenmektedirler. Tek akı kuantası (SFQ: Single Flux Quanta) olarak adlandırılan piko saniye genişliğindeki veri akısı sayesinde, mantıksal devre elemanları rahatlıkla 100 GHz'in üzerindeki frekanslarda çalışabilmektedir. Literatürde 770 GHz'e kadar çalışma frekansına sahip TFF (T Flip Flop) devresi rapor edilmiştir [29], [30].

RSFQ devrelerde paralel dirençle Stewart-McCumber parametresi β_C bire eşitlenmiş histerisiz olmayan Josephson eklemleri kullanılır. Histerisize sahip olmayan Josephson eklemnin I-V grafiği Şekil 2.12'de verilmiştir.



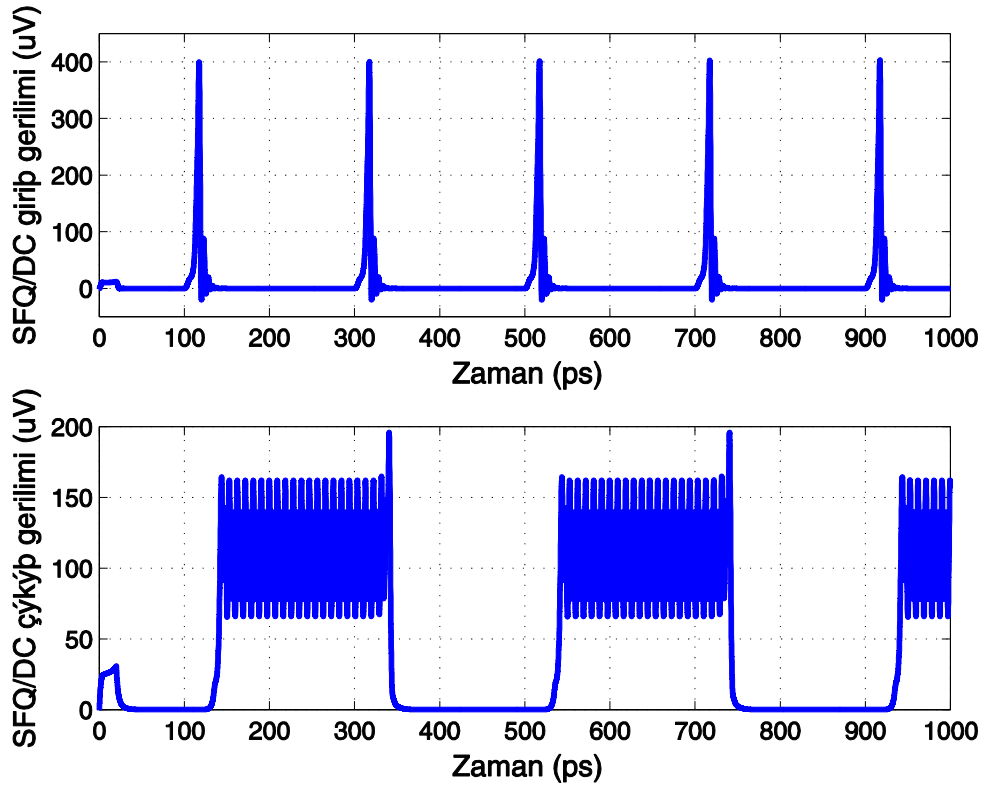
Şekil 2.12: Josephson eklemının I-V karakteristiđi ve manyetik kuantanın eklem üzerindeki etkisi

RSFQ devrelerin giriş ve çıkışlarındaki 1-2 piko saniye genişliğinde, yaklaşık $0.5mV$ genliğindeki sinyalleri standart oda sıcaklığı elektroniđiyle okuyabilmek çok zordur. Bunun için RSFQ yongaların haberleşmesi bir takım özel devreler aracılığıyla yapılır. Girişler için yarıiletken oda sıcaklığı elektroniđinden gelen DC gerilim seviyelerini SFQ sinyallerine çeviren devreler DC-SFQ çevirici, çıkışlardaki SFQ sinyallerini yarıiletken oda sıcaklığı elektroniđiyle uyumlu DC sinyallere çeviren devreler ise SFQ-DC çevirici devreler olarak adlandırılırlar. Standart bir DC-SFQ çevirici devresinin giriş-çıkış gerilimleri Şekil 2.13'te verilmiştir. Giriş gerilimine yaklaşık 6-50mV arası genlikte bir kare dalga verildiğinde her yükselen kenarda çıkışına bir SFQ darbesi üretmektedir.



Şekil 2.13: DC-SFQ çevirici devresinin giriş çıkış gerilim grafiği

Şekil 2.14'te standart bir SFQ-DC çevirici devresinin giriş-çıkış gerilim grafiği verilmiştir. SFQ-DC çevirici devresinin girişine bir SFQ darbesi geldiğinde çıkışındaki eklem salınımına girer ve sürekli olarak yüksek frekansda gerilim üretmeye başlar. Salınıma giren SFQ-DC çeviricisine tekrardan bir SFQ darbesi verildiğinde bu sefer salınımdan çıkar. Bu şekilde her SFQ darbesi geldiğinde çıkış gerilimi değişir. Bu gerilim seviyesi SFQ-DC çeviriciye verilen besleme akımına bağlıdır. Çıkıştaki gerilimin bant genişliği çok geniş olduğundan çıkış kare dalga gibi okunur.



Şekil 2.14: SFQ-DC çevirici devresinin giriş-çıkış gerilim grafiği

RSFQ yongaların girişleri standart oda sıcaklığı elektroniğiyle verildiğinden yongalarla yüksek frekanslarda haberleşmek çok zordur. Üretilen yongaların yüksek frekans testleri giriş ve çıkışlarına eklenen kayan yazmaçlardan oluşan tampon bellekler aracılığıyla yapılabilir. Düşük frekansla doldurulan giriş bellekleri, yonga içerisinde oluşturulan yüksek saat frekanslarıyla işlenir ve çıkıştaki tampon belleklere yazılır. İşlem bittikten sonra elde edilen veri, bu belleklerden düşük frekansla okunarak devrenin çalışması kontrol edilir.

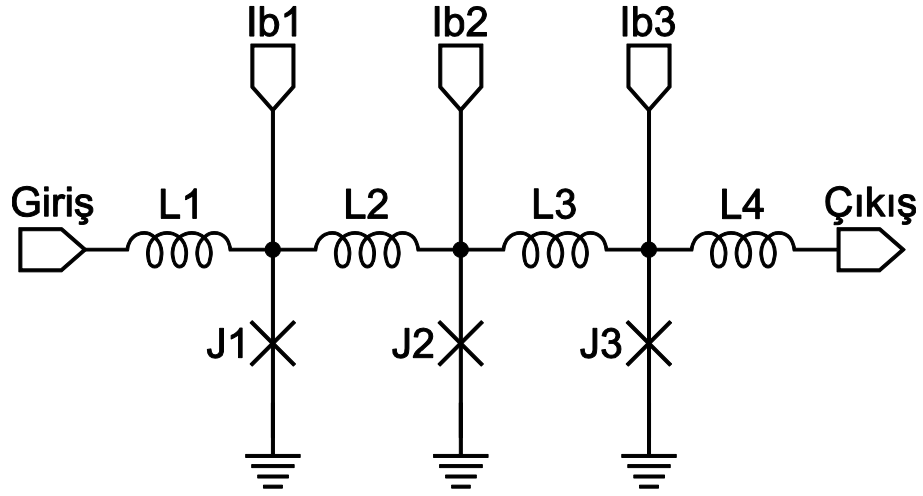
RSFQ mantıksal hücrelerin daha hızlı ve geniş marjlarda çalışabilmesi için Josephson eklemeleri kritik akımlarının altında sabit bir akım ile beslenmelidirler. Şekil 2.12'de görüldüğü gibi, Josephson eklemesine yeni bir manyetik akı kuantası geldiğinde kritik akım değerinin altında 1 numaralı konumda bir akım ile beslenen

eklem 2 numaralı normal duruma geçerek yeni bir akı kuantası oluşturur ve tekrar süperiletken duruma geri döner.

Teorik olarak, durağan durumda devrelerdeki eklemlerde hiçbir gerilim oluşmadığından devrenin güç tüketimi sıfırdır. Ancak geniş ölçekli devrelerde farklı blokların farklı kritik akım oranlarında akımlar ile beslenmesi gerektiğinden, her mantıksal hücre sabit bir direnç üzerinden gerilim ile beslenir. Geleneksel RSFQ teknolojisinde bu değer yaklaşık $\sim 10I_C R_S$ (Kritik akım, paralel direnç çarpımı) değerine denk gelen 2.5 mV olarak kabul edilir. 2.5 mV 'un altındaki değerlerde eklemler daha yavaş anahtarlanır ve eklemlerin oluşturduğu SFQ darbelerinin kutuplama gerilimleri düşüktür. Ayrıca bu çarpım düşük seçildiğinde eklemler anahtarlandığı zaman oluşan SFQ darbelerinin genliği, besleme hattının gerilimini geçebilmekte ve akım çekmek yerine besleme hattına akım vererek besleme hattını bozabilmektedirler [31]. Bu durumda yaklaşık 1 A akım çeken bir devrenin statik durumda güç tüketimi 2.5 mW 'tır.

2.3.1 Josephson iletim hattı (JTL: Josephson Transmission Line)

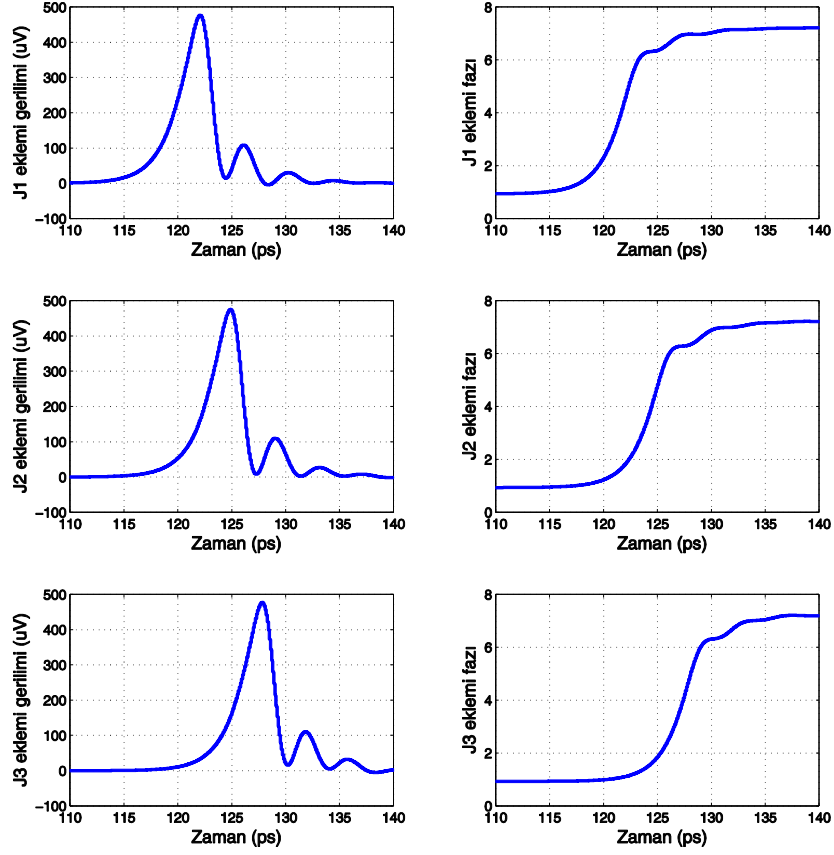
Süperiletken RSFQ devrelerde sinyaller, Josephson iletim hattı (JTL) denilen aktif devre elemanlarıyla iletilirler. Bu iletimi sağlayan en temel mantıksal hücreler, Şekil 2.15'teki gösterildiği gibi birbirine indüktanslar ile bağlanmış seri Josephson eklemlerinden oluşur. Josephson iletim hatları devrelerde genellikle kısa mesafeleri birbirine bağlamak ve kasıtlı gecikmeler yaratmak için çok sık bir biçimde kullanılır.



Şekil 2.15: Josephson iletim hattı. $I_{CJ1} = I_{CJ2} = I_{CJ3} = I_C$, $L_1 = L_2 = L_3 = L_4 = L$

JTL'lerdeki her bir Josephson eklemi, tasarım koşullarına bağlı olarak, kritik akımlarının yaklaşık %70'i seviyesinde bir akım ile beslenir. Böylece I-V grafiği Şekil 2.12'de gösterildiği gibi anahtarlanmaya uygun konuma gelir. Devredeki indüktans değerleri ise iki eklem arasında manyetik akı depolanmayacak şekilde ayarlanır. Eğer indüktans değeri belirli bir değerin üzerinde olursa; mantıksal 1'e karşılık gelen manyetik akı kuantası, iki eklem ve bu indüktanstan oluşan halkada depolanır ve yeni bir manyetik akı kuantası üretmez. İndüktans değeri belirlenirken; tasarım kriterlerine bağlı olarak değişen bu değer, yaklaşık olarak denklem (2.13)'deki gibi alınır. Bu denklemde L indüktansı, I_C Josephson ekleminin kritik akımını, ϕ_0 ise manyetik akı kuantasını temsil etmektedir.

$$LI_C = 0.5\phi_0 \quad (2.13)$$

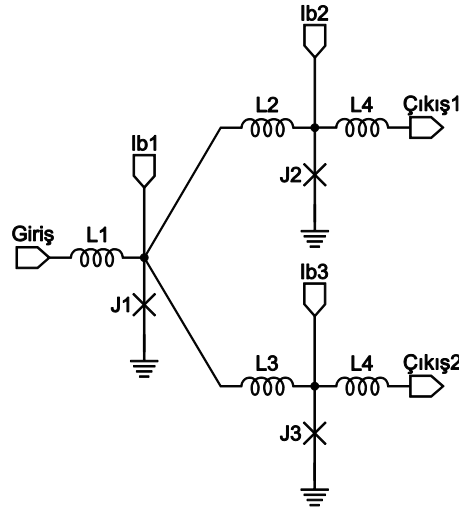


Şekil 2.16: Josephson iletim hattında SFQ darbesinin ilerlemesi

Devre parametreleri düzgün şekilde ayarlanan JTL'in girişine bir manyetik akı kuantası geldiğinde, girişteki anahtarlanmaya hazır bekleyen eklem Şekil 2.12'deki 1 numaralı konumdan 2 numaralı rezistif konuma geçer ve ikinci eklem iletilmek üzere yeni bir manyetik akı kuantası üretir. Aynı zamanda eklemün fazı 2π değeri kadar artış gösterir. İlk indüktanstan geçen manyetik akı ikinci eklem gelene kadar indüktans değerine bağlı bir oranda azalır. Eğer ikinci eklem eklemi anahtarlayacak kadar bir manyetik akı gelirse, ikinci eklem anahtarlanarak fazını 2π kadar artırır ve yeni bir manyetik akı kuantası üretir. Bu işlem Şekil 2.16'da görüldüğü gibi ardışık bir biçimde devam eder.

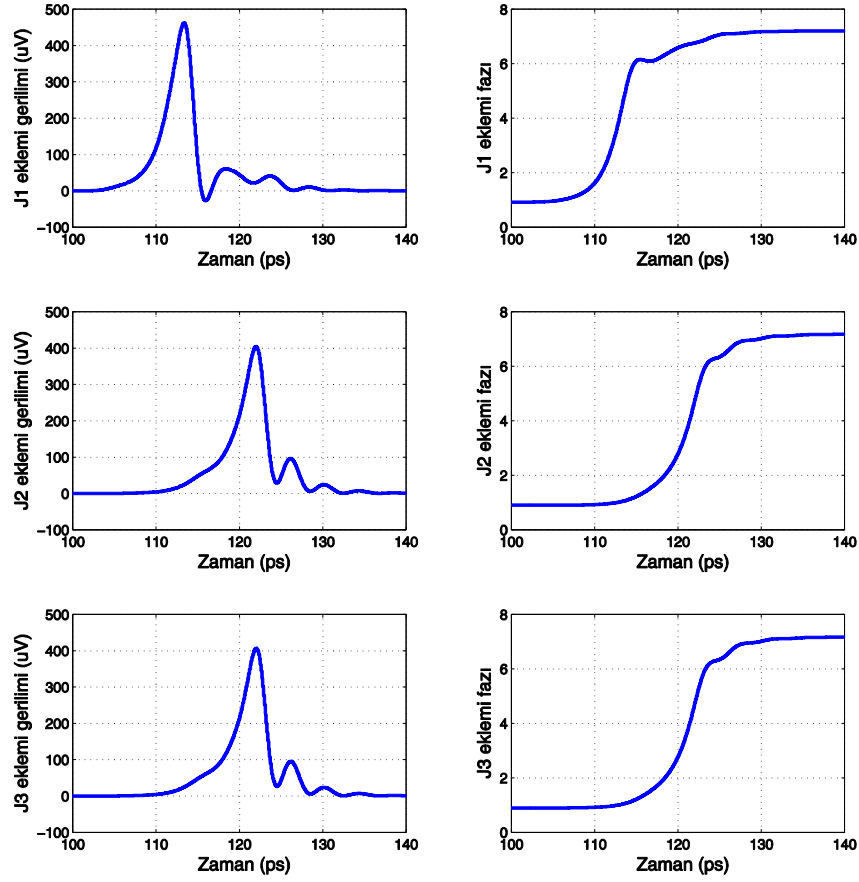
2.3.2 Ayırıcı iletim hattı (Splitter)

Süperiletken RSFQ teknolojisinde, mantıksal veriler gerilim seviyesi yerine ϕ_0 alanına sahip piko saniye genişliğindeki manyetik akı kuantalarıyla oluşturulur. Bu yüzden, tüm dijital hücrelerin çıkışlarının veri yolları bir bit'tir. Eğer veri birden fazla yerde kullanılmak isteniyorsa, bu manyetik akıları çoğaltacak ayırıcı devre elemanları kullanılması zorunludur. Bir girişli, iki çıkışlı bir ayırıcı devresi Şekil 2.17'de görülmektedir



Şekil 2.17: Ayırıcı devrenin şematiği

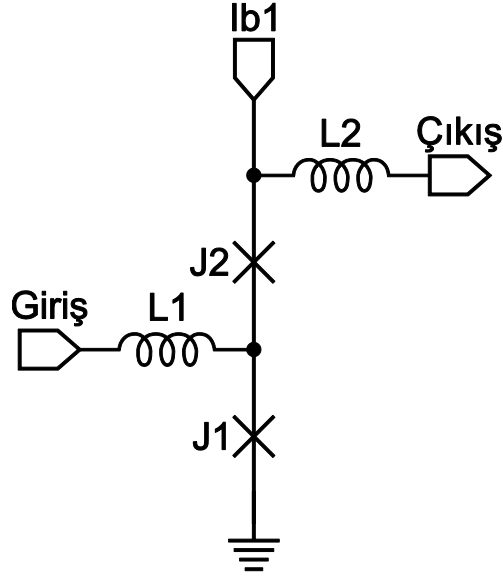
Şekil 2.17'deki devrede birinci eklemden gelen manyetik akı çıkıştaki eklemlere dağılarak bu eklemlerde yeni manyetik akı kuantası üretilmesini sağlar. Ancak manyetik akı iki ayrı kola dağılacığından, girişteki eklemin kritik akımı çıkıştaki eklemlerin kritik akımlarından göreceli olarak büyük olmak zorundadır. Eğer girişteki ekleme bir SFQ dalgası gelecek olursa bu eklemin oluşturduğu SFQ dalgası ikiye ayrılarak çıkışlardaki eklemlerin kritik akımları düşük olduğunda iki eklemi de aynı anda anahtarlayabilir. Ayırıcı devresinin eklemlerinin gerilim ve faz değişimleri Şekil 2.18'de ayrıntılı bir şekilde verilmiştir.



Şekil 2.18: Ayırıcı devrede SFQ sinyalinin iletimi

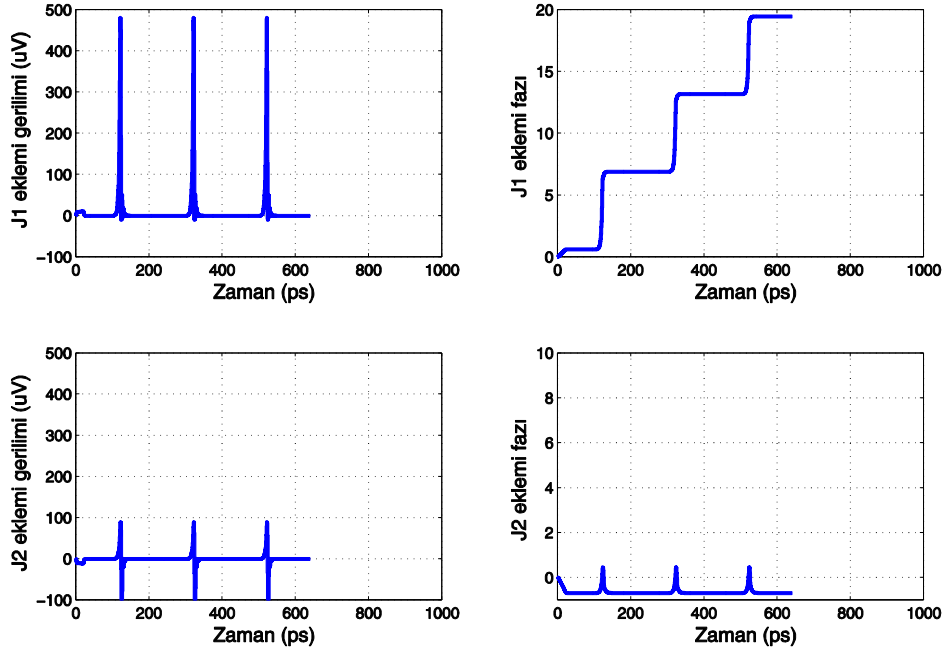
2.3.3 Tampon devre (Buffer)

RSFQ devrelerde eklemler kutupsuz bir biçimde yer aldığından, akı her iki yönde de ilerleyebilir. Bir başka deyişle, dijital hücreler tersinirdir. Eğer herhangi bir nedenle yansıyan SFQ sinyali ters yönde ilerleyen istenmeyen bir sinyale neden olabilir. Manyetik akının ters yönde akmasını önlemek için belirli yerlerde tampon devreler kullanılmak zorundadır. Şekil 2.19'da örnek bir tampon devresi görülmektedir.



Şekil 2.19: Tampon devre

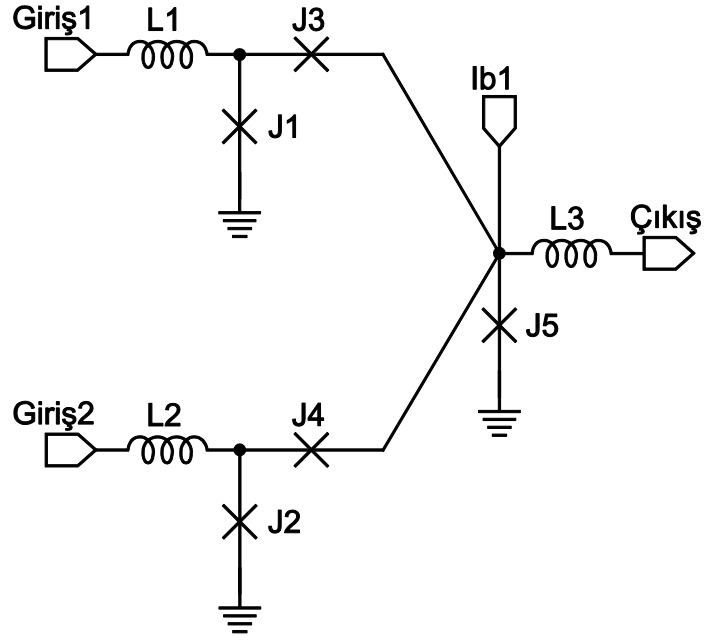
Şekil 2.19'deki birinci eklemnin kritik akımı, ikinci eklemnin kritik akımına oranla daha büyüktür ve besleme akımı ikinci eklemi de anahtarlamayacak şekildedir. Devrenin girişinden bir SFQ darbesi geldiğinde birinci eklem anahtarlanır ve yeni bir SFQ darbesi üretir. Bu SFQ darbesi, ikinci eklemnin üzerinden geçen akımı azaltıcı bir etki yapacağından ikinci eklem tetiklenmez ve üretilen SFQ darbesi çıkışa iletilir. Benzer şekilde eğer sinyal iletdikten sonra yansır ve çıkıştan içeri bir SFQ darbesi girmesine neden olursa J2 eklemnin kritik akımı J1 ekleminden küçük olduğundan J2 eklemi anahtarlanır ve rezistif duruma geçerek SFQ sinyalini kendi üzerinde sönmümler. Bu sayede J1 eklemi hiç bir zaman anahtarlanmayarak girişe doğru bir SFQ darbesi iletilmesi engellenir. Bir SFQ darbesinin devreden iletimi Şekil 2.20'de ayrıntılı bir şekilde görülmektedir.



Şekil 2.20: Tampon devrede SFQ darbesinin eklemlerde iletimi

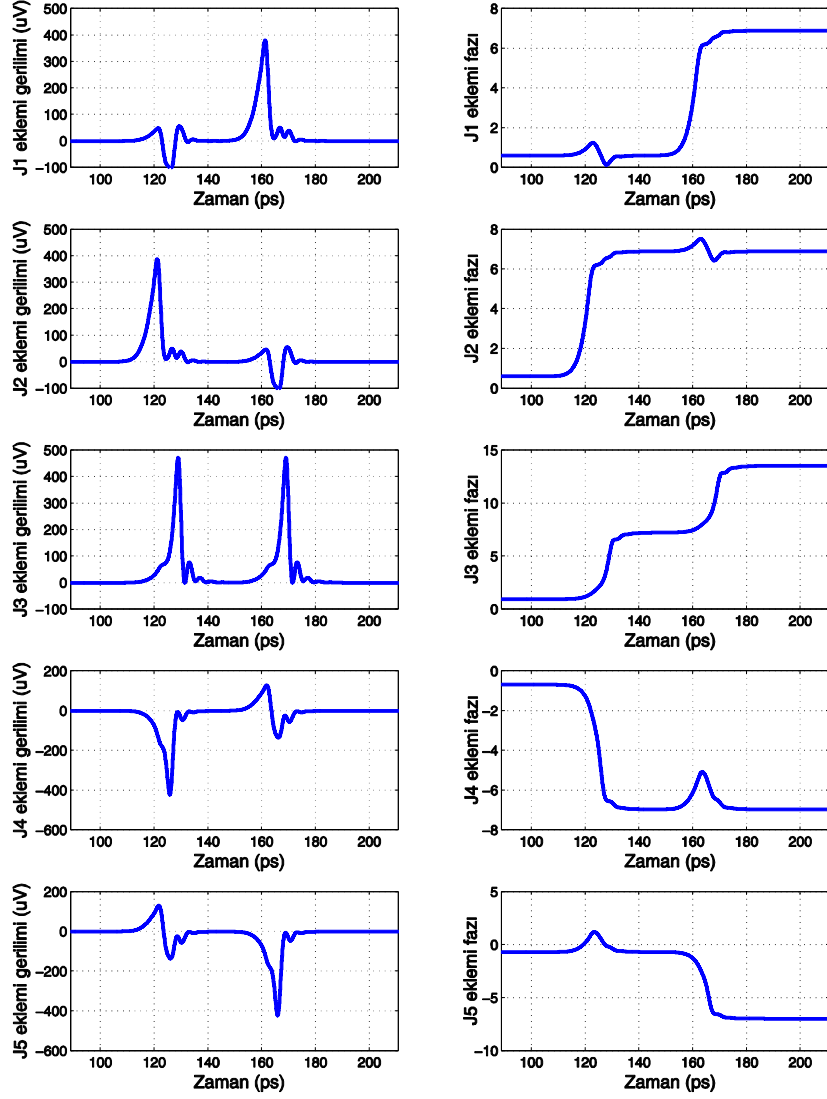
2.3.4 Birleştirici devre (Merger - Confluence Buffer)

RSFQ devrelerde iki sinyalin tek bir hatta birleştirilmesi için birleştirici hücre elemanı kullanılması gerekir. Böylece iki hattan gelen SFQ darbeleri tek bir hatta birleşir. Şekil 2.21'de standart bir birleştirici devresinin şematiği görülmektedir. Şematiğe dikkatlice bakılacak olursa çıkışları birleştirilmiş iki adet tampon devresinden oluştuğu görülür. Bu yüzden çoğu zaman tampon kavşağı (confluence buffer) olarak da adlandırılır.



Şekil 2.21: Birleştirici devresinin şematiği

Devre tampon devresine benzer şekilde J3 ve J4 eklemlerinin kritik akımları J1 ve J2 eklemlerinin kritik akımlarından küçük olarak ayarlanır. Eğer J1 eklemine birinci girişten bir SFQ darbesi gelecek olursa J1 eklemine oluşturduğu SFQ darbesi J3 eklemine üzerinden geçen akımı azaltacak şekilde bir etki yapar. J5 eklemine yeniden üretilen SFQ darbesi ise hem ikinci girişe, hem de çıkışa doğru yönelir. Ancak J4 eklemi J2 ekleminden önce anahtarlandığından sadece çıkıştan bir SFQ darbesi okunur. Şekil 2.22'deki benzetim sonuçları yer alan birleştirici devrenin J1 veya J2 ekleminden birine bir SFQ darbesi geldiğinde J5 eklemine yeniden üretilen SFQ darbesi çıkış terminalinden çıkışa yönelir. J1 ekleminden bir SFQ darbesi geldiğinde J4'ün, J2 ekleminden bir SFQ darbesi geldiğinde ise J3 eklemine tetiklendiği açıkça görülebilmektedir.

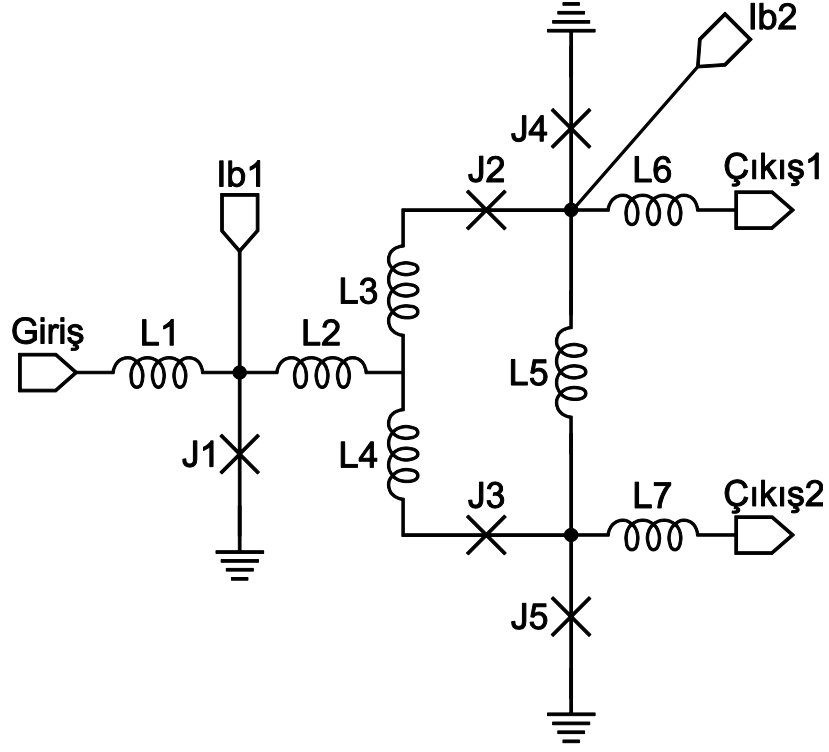


Şekil 2.22: Birleştirici devresinde SFQ darbesinin ilerleyişi

2.3.5 T Flip Flop (TFF)

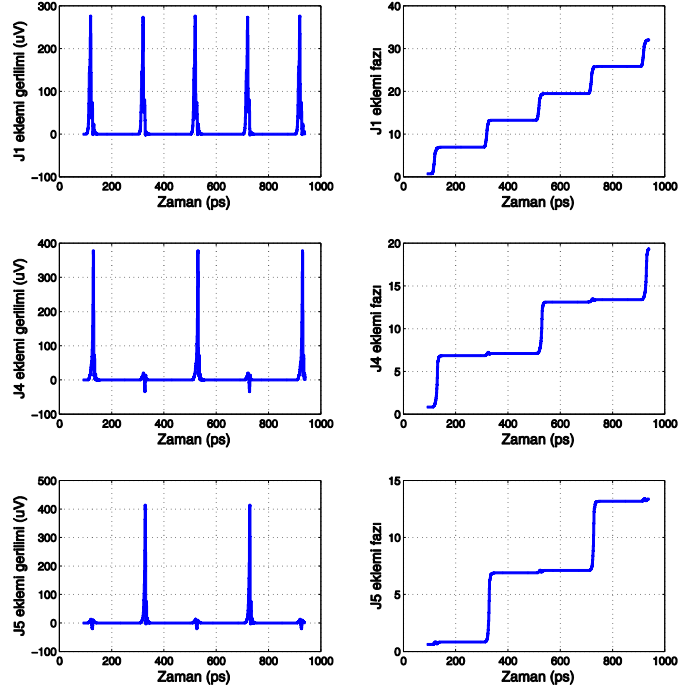
T flip flop, girişine giren SFQ darbesini iki çıkışına sırasıyla dağıtır. Bir önceki SFQ darbesini hangi çıkışa yönlendirdiyse, bir sonraki SFQ darbesini diğer çıkışına yönlendirir. Bazı topolojilerde ikinci çıkış hiç bulunmayabilir. Bu durumda T flip

flop, SFQ darbesi geldikçe iki SFQ darbesinde bir çıktı oluşturur. Şekil 2.23'te standart iki çıkışlı bir T flip flop görülmektedir.



Şekil 2.23: T flip flop

Şekil 2.23'te 1 numaralı eklemden içeri giren SFQ darbesi, 2 ve 3 numaralı eklemlerin oluşturduğu halkada bir manyetik akı depolar. Bu manyetik akının yönüne göre SFQ darbesinin üretileceği çıkış belirlenir. Başlangıçta oluşan bu manyetik akının yönünü besleme akımının bulunduğu taraf belirler. Her SFQ darbesi geldiğinde, bu halkada dönen akı yön değiştirir ve bu sayede SFQ darbesi her seferinde yön değiştirir. Bu şekilde akımın yönüne göre J2 ve J3 eklemlerinden hangisinin anahtarlandığına göre o taraftaki çıkıştan bir SFQ darbesi verilir. Girişten gelen SFQ darbesinin eklemler üzerindeki etkisi Şekil 2.24'te ayrıntılı bir şekilde görülebilmektedir.



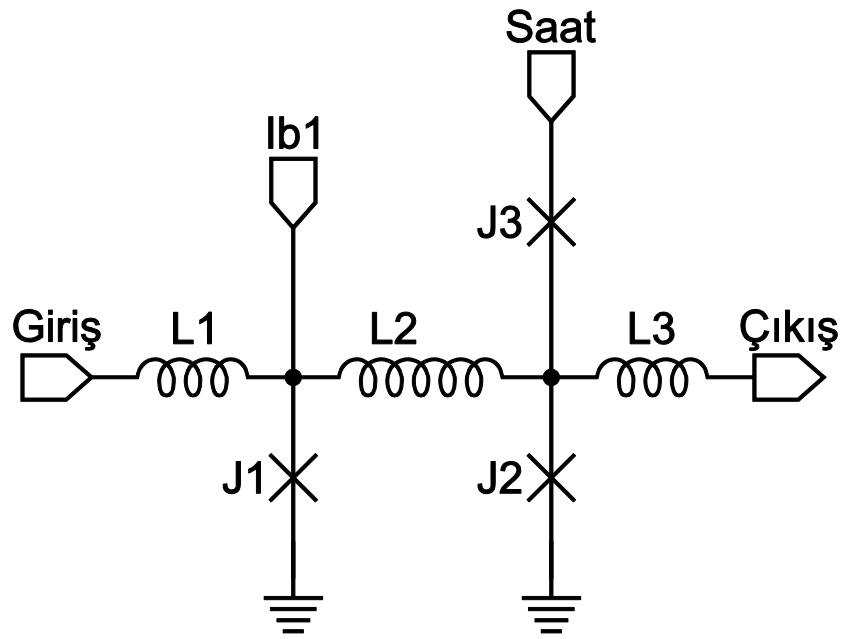
Şekil 2.24: T flip flop devresinde SFQ darbesi

2.3.6 Sıralı Mantık Devreleri (Sequential Logic Circuits)

Süperiletken RSFQ teknolojisinde mantıksal veriler piko saniye genişliğine sahip gerilimlerden oluştuğundan, mantıksal işlemlerin tamamına yakını sıralı mantık devrelerinden oluşur. İki saat darbesi arasındaki zamanda gelen SFQ darbeleri hücre içinde süperiletken halkalarda depolanır ve saat darbesi geldiğinde işlem yapılarak gerekli çıktılar oluşturulur. Dolayısıyla her dijital hücre en az bir hafıza elemanı içerir. Bu sayede her mantıksal işlem aslında ayrı bir boru hattı aşamasıdır. Bu yaklaşımın dezavantajı ise birden fazla aşamalı mantıksal işlemi tek saat darbesinde yapılamamasıdır. Ancak saat darbesi de JTL gibi aktif hücre elemanlarıyla iletildiğinden, aynı saat darbesi bekletilerek asenkron bir boru hattı tasarlanarak devrenin toplam işlem hacmi en yüksek değere çıkartılabilir.

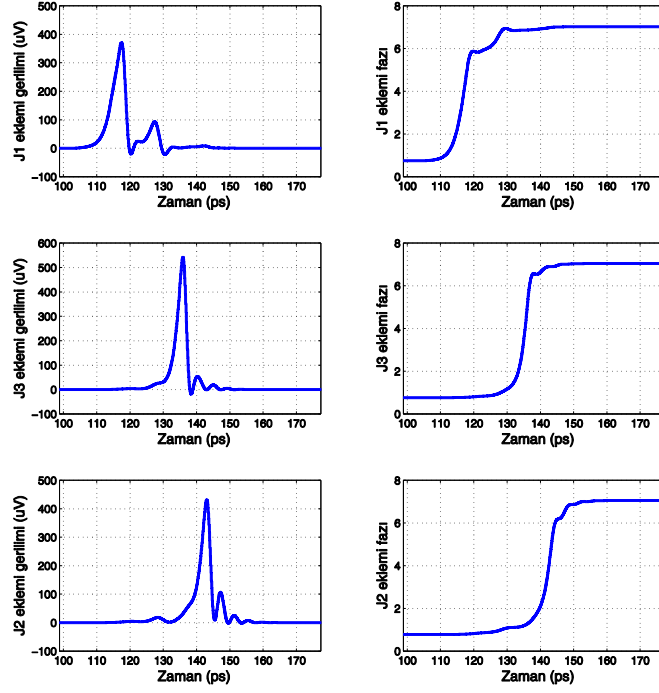
2.3.6.1 D Flip Flop (DFF)

D Flip Flop, bir bitlik veri saklayabilen en basit devre elemanıdır. Girişinden gelen SFQ darbesini, saat girişinden SFQ darbesi gelene kadar içerisinde saklar. Saat girişinden SFQ darbesi geldiğinde içeride depolanmış bir SFQ bulunuyorsa çıkışta bir SFQ darbesi üretir. Standart bir D flip flop devresi Şekil 2.25'te görülmektedir.



Şekil 2.25: D flip flop devresinin şematığı

Şekil 2.25'te görülen DFF devresinde $L2$ indüktansının değeri normal JTL devresindeki indüktans değerlerinden büyüktür. Tasarıma göre bu değer genellikle $L2.I_{C2} > \phi_0$ olacak şekilde seçilir. Bu sayede giriş terminalinden bir SFQ darbesi geldiğinde, $L2$ indüktansının değeri akıyı depolayacak kadar büyük olduğundan, akı $J1-L2-J2$ elemanlarından oluşan halkada depolanır. Eğer saat girişinden bir SFQ darbesi gelmezse, halkada saat yönünde bir akım oluşturan bu akı sonsuza kadar tutulmaya devam eder. Saat girişinden bir SFQ darbesi geldiğinde, $J2$ eklemi anahtarlanır ve $L3$ üzerinden çıkış terminaline bir SFQ darbesi gönderir. DFF devresinin sırasıyla girişten ve saat girişinden SFQ darbesi geldiğinde çalışması Şekil 2.26'da görülmektedir.



Şekil 2.26: DFF devresinin çalışması

2.4 Parçacık Sürü Eniyilemesi (PSO-Particle Swarm Optimization)

Süperiletken RSFQ devrelerde parametre bağımlılığı yarı iletken devrelere göre daha fazladır. Eğer parametre marjları geniş tutulmazsa, üretimden ve ölçümden kaynaklanan sapmalardan dolayı devre düzgün çalışmayabilir. Tasarlanan dijital hücrelerin parametre sayıları genellikle çok fazla olduğundan bir eniyileme algoritmasının kullanılması zorunludur. Aynı zamandan bu eniyileme sürecinden bir devrenin parametre marjlarını çıkarmak çoğu zaman uzun bir işlem olduğundan, eniyileme algoritmasının hızlı bir şekilde en uygun noktaya yakınsaması gerekir. Bu yüzden hem analog hem de dijital RSFQ devreleri eniyilerken, hızlı bir şekilde yakınsaması ve düşük işgücü gerektirdiğinden Parçacık Sürü Eniyilemesi algoritması tercih edilmiştir [32], [33].

Parçacık Sürü Eniyilemesi, doğrusal olmayan fonksiyonların eniyilenmesinde son zamanlarda sıkça kullanılan bir eniyileme algoritmasıdır [32]–[41]. Uygulaması basit, hafıza ve hesaplama gereksinimi azdır. Algoritma, doğadaki hayvan sürülerinin yiyecek arayışından ve kendi aralarında haberleşmelerinden esinlenerek oluşturulmuştur. Serbest şekilde gezinen arılar buldukları en iyi yiyecek yerlerini hafızalarında tutarlar ve her tur sonunda birbirleriyle paylaşırlar.

Algoritma, n boyutlu uzayda rastgele atanan m adet arı ile başlar. İlk turdan başlamak koşuluyla her tur sonunda o tura kadar buldukları en iyi pozisyonu birbirleriyle paylaşırlar. Daha sonra arılar; o andaki hızları, kendi buldukları en iyi nokta ve sürünün o ana kadar bulunduğu en iyi nokta göz önünde bulundurarak bir sonraki konumlarını tayin ederler. Arıların hız değerleri denklem (2.14), uzaydaki konumları denklem (2.15)'teki gibi atanmaktadır.

$$V_i^{t+1} = \underbrace{a \cdot V_i^t}_{\text{Eylemsizlik bölümü}} + \underbrace{b_1 \cdot U(0,1) \cdot (pb_i^t - x_i^t)}_{\text{İç bölüm}} + \underbrace{b_2 \cdot U(0,1) \cdot (gb_i^t - x_i^t)}_{\text{Sosyal bölüm}} \quad (2.14)$$

$$x_i^{t+1} = x_i^t + V_i^{t+1} \quad (2.15)$$

Denklem (2.14)'te; i arıyı, t döngüyü temsil etmektedir. Hız vektörü 3 bileşenden oluşmaktadır: birinci bileşen eylemsizlik etkisini, ikinci bileşen içsel etkiyi, son bileşen ise sürünün sosyal etkisini temsil etmektedir. Eylemsizlik bölümünde, arının bir önceki döngüdeki hızı sabit bir değerle çarpılarak arıya eylemsizlik kabiliyeti kazandırılır. Bu bölüm olmaz ise arı, sürünün en iyi hedefini bulduğunda hareket etmez yerinde sabit kalır. Eylemsizlik katsayısı, a , 1'den küçük bir değer olmalıdır. Aksi halde eylemsizlik bölümü hıza pozitif geri besleme yaparak arının uzayın limit değerlerinde dolaşmasına sebep olur, en iyi noktaya yakınsamaz.

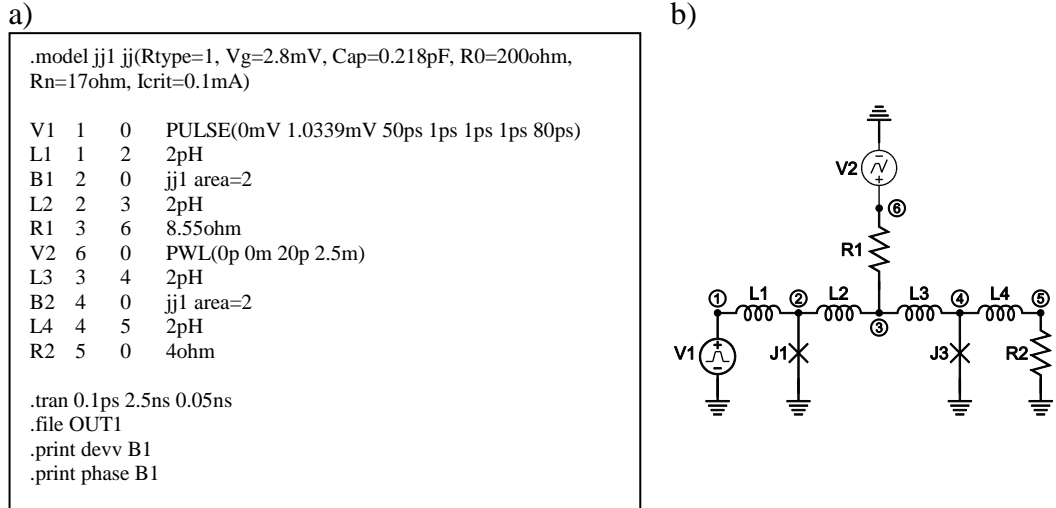
İçsel bölüm arının kendi bulunduğu en iyi noktaya yönelmesine sebep olur. Arıların kendi buldukları en iyi noktalara kişisel en iyi pozisyon denir. Bu bölümde; b_1 sabit katsayıyı, $U(0,1)$ 0-1 arası tekdüze dağılımı, pb_i^t i . arının t anındaki kişisel en iyi

pozisyonunu, x_i^t ise arının t anındaki konumunu temsil eder. Bu bölüm arının kendi bulunduğu en iyi pozisyonuna yönelmesini sağlar.

Sürünün sosyal bölümü ise sürüyü sürünün en iyi noktasına yönlendirerek tüm arıları tek bir konuma yakınsamasını sağlar. İçsel bölüme benzer şekilde b_2 sabit katsayıyı, $U(0,1)$ 0-1 arası tekdüze dağılımı, pb^t sürünün t anındaki en iyi pozisyonunu temsil eder. Bu bölüm ise tüm arıları sürünün en iyi pozisyonuna doğru yönelmesini sağlar.

2.5 JSIM Benzeticisi

JSIM (Junction SIMulator), Josephson eklemlerinin oluşturduğu diferansiyel denklemleri çözmek için oluşturulmuş standart SPICE (Simulation Program with Integrated Circuit Emphasis) sözdizimine sahip bir devre benzeticisidir [42], [43]. Girdi olarak devre netlistlerini alarak istenilen elemanların gerilim, akım, faz gibi özelliklerini sütunlar halinde metin dosyası olarak kaydeder.



Şekil 2.27: Örnek bir JSIM netlisti ve netliste ait devre şematığı

Şekil 2.27'de örnek bir JSIM devre netlisti ve bu netliste ait devre şematığı görülmektedir. Şekil 2.27-a) bölümünde ilk satırda *jj1* isimli eklem modeli ve bu modele ait parametreler bulunmaktadır. Devre elemanları her satırda ilk önce eleman

ismi, daha sonra devrede hangi düğümler arasında yer aldığı, son olarak da değeri bulunur. Gerilim kaynaklarının isimleri V ile, akım kaynakları I ile, Josephson eklemleri B ile, indüktanslar L ile ve dirençler ise R ile başlar. Düğümlerden 0 her zaman toprak hattını temsil eder. Netlistteki devre elemanlarının düğüm numaraları b bölümünde şematik üzerinde yuvarlak içinde belirtilmiştir. Son bölümde de sırasıyla benzetim türü ve süresi, çıktı dosyası yolu ve BI eklemesinin gerilim ve faz değerlerinin ölçüleceği belirtilmiştir. JSIM hakkında daha ayrıntılı bilgi programın kullanıcı kılavuzunda bulunabilir [44].

3 ÜRETİM TEKNOLOJİSİ

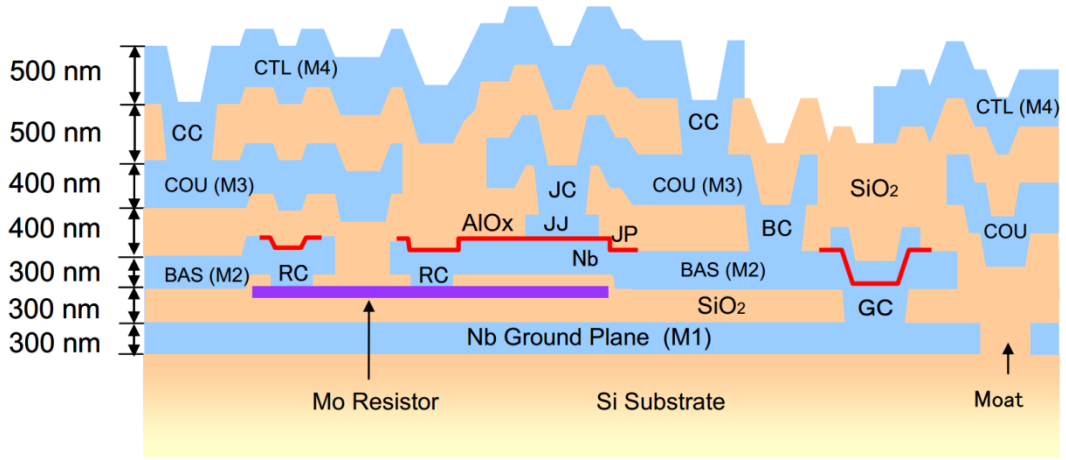
RSFQ teknolojisiyle geniş ölçekli devre üretiminde tekrarlanabilirlik ve kararlılık göz önüne alındığında şu ana kadar uygulanan en iyi çözüm Nb/Al-Al₂O₃/Nb eklemleridir. Bunun sebebi, Niobyumun kolay işlenebilir ve kritik sıcaklığı günümüze kadar bulunan en yüksek saf element olmasıdır. Halihazırda dünyada Nb/Al-Al₂O₃/Nb eklemleri için toplu üretim hizmeti veren 3 üretim tesisi bulunmaktadır. Bunlar:

- Ulusal İleri Endüstriyel Bilim ve Teknoloji Enstitüsü (AIST: Advance Institute of Science and Technology), Tsukuba, Japonya [45]
- Hypress, New York, ABD [46]
- Fotonik Teknolojileri Enstitüsü (IPHT: Institute of Photonics Technology), Jena, Almanya [47]

Bu üretim tesislerinin tabaka kalınlıkları farklılık göstermekle beraber tabaka yerleşimleri ve sıraları benzerdir. AIST Standart İşlem 2 (AIST STP2) üretiminin tabaka kesiti Şekil 3.1'de görülmektedir. Bu tabakaların kalınlıkları, malzeme türleri ve polariteleri Çizelge 3.1'de verilmiştir.

Çizelge 3.1: AIST STP2 taabaka özellikleri [45]

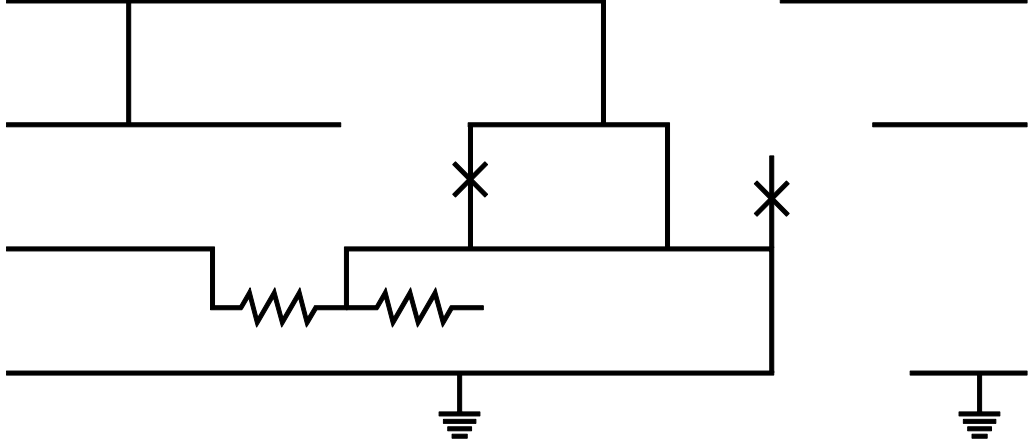
Tabaka İsmi	Eşdeğer İsmi	Tabaka polaritesi	Açıklama	Malzeme	Kalınlık
GP	M1	Negatif	Toprak (Metal1) tabakası	Nb	300nm
	I1		Yalıtkan tabaka	SiO ₂	200nm
RES	RES	Pozitif	Direnç tabakası	Mo	80nm
	I2		Yalıtkan tabaka	SiO ₂	100nm
RC	RC	Negatif	BAS ile RES arasındaki temas oyuğu	-	-
GC		Negatif	BAS ile GP arasındaki temas oyuğu	-	-
BAS	M2	Pozitif	Metal2 tabakası	Nb	300nm
JP	JP	Pozitif	Josephson eklemi yalıtkanı	Al-Al ₂ O ₃	
JJ	JJ	Pozitif	Josephson eklemi üst tabakası	Nb	150nm
	I3		Yalıtkan tabaka	SiO ₂	
BC		Negatif	BAS ile COU arasındaki temas oyuğu	-	-
JC		Negatif	JJ ile COU arasındaki temas oyuğu	-	-
COU	M3	Pozitif	Metal3 tabakası	Nb	400nm
	I4		Yalıtkan tabaka	SiO ₂	500nm
CC		Negatif	COU ile CTL arasındaki temas oyuğu	-	-
CTL	M4	Pozitif	Metal4 tabakası	Nb	500nm



Şekil 3.1 : AIST STP2 tabaka yerleşim kesiti ve tabaka kalınlıkları [45], [48]

Şekil 3.1 ve Çizelge 3.1 göz önünde bulundurularak üretim incelenirse, ilk önce silikon altlık üzerine 300nm'lik Nb toprak tabakası oluşturulur. Daha sonra GP tabakası negatif tabakadır. Bir başka deyişle çizilen yer çıkarılır, çizilmeyen yerler toprak olarak kalır. Bunun üzerine 200nm'lik SiO₂ yalıtkan tabaka atılır ve devrede direnç varsa RES tabakası için Molibdenyum dirençler devreye eklenir. Dirençlerin üzerine tekrar 100nm'lik bir silikon yalıtkan tabaka atıldıktan sonra Metal2 plakasının direnç ve toprak tabakasına temas oyukları açılır. Metal2'yi Metal1'e bağlayan temas oyukları GC katmanıyla, Metal2'yi dirence bağlayan temas oyukları ise RC katmanıyla oluşturulur. Temas oyukları hazırlandıktan sonra 300nm'lik BAS, yani Metal2, Nb tabakası oluşturulur. Josephson eklemleri Metal2 ve Metal3 katmanları arasında olduğundan, Metal2 tabakasından sonra eklemi oluşturacak Al-Al₂O₃ tabakası oluşturulur. Daha sonra eklemin genişliğini, yani eklemin kritik akımını, ayarlamak için Josephson ekleminin üst kısmını oluşturacak JJ tabakası eklenir. Bunun üzerine 400nm'lik SiO₂ tabakası atıldıktan sonra temas oyukları oluşturulur. Metal3'ü Metal2'ye bağlamak için BC, Metal3'ü ekleme bağlamak için JC tabakaları kullanılır. Aynı şekilde bunlar var olan SiO₂ tabakasını oymak için olduğundan negatif polariteli tabakalardır. Benzer şekilde yalıtkan tabaka atılıp, gerekli temas oyukları açıldıktan sonra Metal4 tabakası eklenerek üretim tamamlanır. Şekil 3.1'de yan kesiti verilen örnek devrenin şematiği Şekil 3.2'de verilmiştir. JJ'nin altında

bulunan Mo direnç tabakasının devrede bir işlevi yoktur. Üzerindeki eklem için düz bir zemin oluşturması için destek olarak kullanılır.



Şekil 3.2: AIST STP2 tabaka yerleşim kesiti verilen devrenin şematiği

Çizelge 3.2: AIST STP2 Tasarım kuralları

En küçük metal hat genişliği	1.5 μm
Metal hatlar arası en kısa mesafe	1 μm
En küçük eklem boyutu	2.2 μm^2
Eklem daralması	0.2 μm
Eklemleri kritik akım yoğunluğu	2.5 kA/cm ²
Katman direnci	1.2 Ω
En küçük temas oyuğu alanı	1 μm^2
Hizalama marjı	0.5 μm
BAS (M2) daralması	0.2 μm
COU (M3) daralması	0 μm
CTL (M4) daralması	0 μm
RES daralması	0 μm

Üretim sürecinin yanında bilgisayar destekli tasarım programıyla tabakalar oluşturulurken dikkat edilmesi gereken tasarım kuralları Çizelge 3.2'de verilmiştir.

Bu çizelgeye göre, çekilen metal hatların genişliği en küçük 1.5 μm olmak zorundadır. Aynı zamanda farklı metal hatlar arasındaki mesafe 1 μm 'nin altına düşemez.

AIST standart üretiminde üretilen eklemlerin kritik akım yoğunlukları 2.5kA/cm²'dir. Üretilen bu eklemlerin boyutu ise 2.2 μm^2 'nin altına inemez ve bu eklemler üretimde 0.2 μm içeri doğru daralır. Katmanların direnci ise 1.2 Ω 'dur.

Metal tabakalarda ise sadece BAS tabakasında 0.2 μm 'lik bir daralma oluşmaktadır. Bununla birlikte farklı metal tabakaların aynı üretilirken tasarlanan hizalardan 0.5 μm kayabilmektedir.

Tüm bu tasarım kuralları üretim tesisi tasarımdan sağlanmakta ve her üretimde tekrardan deneysel olarak test edilmektedir. Üretimdeki herhangi bir iyileşmede, üretim tesisinden bilgisayar destekli tasarım programı için DRC (Design Rule Check) adı verilen tasarım kuralları kontrolünü sağlayan dosyayı temin edilmektedir. DRC dosyasına uymayan devrelerin düzgün olarak üretilmesine, üretim tesisi tarafından garanti verilmemektedir.

Bunların yanında, tüm bu tasarım kurallarına uyulduğunda bile devre parametreleri tasarlanan değerlerden farklılık gösterebilmektedir. Eklemlerin arasındaki Al-Al₂O₃ yalıtkan tabakasının kalınlığının yaklaşık 10nm kalınlığında olması ve bu kalınlığın eklemin kritik akım yoğunluğunu üstel olarak etkilemesi, eklemlerin kritik akımlarının tasarım parametrelerinden sapmasındaki esas nedendir [49]. İndüktans değerlerindeki sapma ise bilgisayar destekli tasarım programı tarafından önceden deneysel oluşturulmuş taramalı çizelgeden bakarak yaklaşık değer vermesinden kaynaklanmaktadır. Aynı indüktanslar taramalı çizelge yardımıyla belirlenmek yerine elektromanyetik benzetimler yardımıyla belirlense bile Şekil 3.1'de görüldüğü gibi alt katmanların yarattığı çıkıntılar yüzünden indüktans yine de tam olarak tayin edilememektedir.

Süperiletken devre üretim teknolojisinin yarıiletken üretim teknolojisine göre daha az gelişmesinin yanında süperiletken devrelerin parametre marjlarına bağımlılığı yarıiletkenlere göre çok daha fazladır. Üretilen devrelerin parametrelerindeki bu oynamalar çoğu zaman devrenin çalışmamasına ya da yanlış çalışmasına sebep olabilmektedir. Hatta, RSFQ teknolojisinde sinyaller zaman alanında tasarlandığından, tüm dijital hücreler düzgün çalışsa bile hücrelerin zamanlamalarında meydana gelen bu belirlenemeyen değişimler devrelerin yanlış çalışmasına sebep olmaktadır. Örnek verilecek olursa; bir mantık kapısına JTL'ler üzerinden gelen giriş sinyalleri JTL'lerin gecikmelerinde üretimden kaynaklı bir artma olduğunda, saat sinyalinden sonra gelmesine sebep olabilir.

Üretim sırasındaki tüm bu parametre sapmalarından kaynaklanan etkileri en aza indirmek için bir devre eniyileycisine ihtiyaç olduğu aşikardır. Günümüzde yaygın olarak kullanılan devre kütüphaneleri modası geçmiş eski yöntemlerle eniyilenmiş ve son on yılda neredeyse hiçbir değişikliğe uğramamıştır [50]–[57]. Bu yöntemlerde temel kullanılan prensip devredeki parametre marjlarını tek tek azami dereceye çıkartmaktır. Bunun en önemli eksikliği, üretim sırasında parametrelerdeki sapmanın sadece birinde değil hepsinde meydana geldiğini ele almamasıdır. Çünkü yonga üzerinde yerel bir bozukluk olmadığı sürece tek bir parametrede büyük bir sapma olmamakta, bunun yerine tüm parametrelerde küçük sapmalar meydana gelmektedir. Eniyilenen devre, tek bir parametre sapmasına müsamaha edebilmesine rağmen birden fazla parametre sapmasına dayanamayabilir.

Aynı zamanda kullanılan yöntemler üretim sırasındaki parametre sapmalarından kaynaklanan dijital hücrelerdeki gecikme değişimlerini hesaba katmamaktadırlar. Dijital hücrelerin tamamı teker teker istenilen işlevi yerine getirirse bile devrenin tümünün ayarlanan zamanlamaları kayacağından, devre temel işlevini yerine getiremeyebilir. Bunu engellemek için geniş zaman aralıklarıyla çalışmak ise tasarımın en yüksek çalışma frekansını büyük ölçüde azaltır.

Bu alıřmada retimden kaynaklanan bu gibi sorunları gidermek ve hem analog hem de dijital devre ktphanesi oluřturmak amacıyla bir eniyileme aracı tasarlanmıř ve test edilmiřtir.

4 ENİYİLEME PROGRAMI

Bu çalışmada süperiletken RSFQ teknolojisi için hem analog devre, hem de dijital devre eniyileycisi tasarlanmış ve sonuçlarının bir kısmı deneysel olarak test edilmiştir. Eniyileyici programının uygulanması için MATLAB ortamı, eniyileme algoritması olarak da Parçacık Sürü Eniyilemesi kullanılmıştır. Devre netlistlerinin benzetimi için Josephson Simulator (JSIM) [42], devrelerin yonga plakası üzerindeki yerleşimleri için bilgisayar destekli tasarım programı olarak ise Cadence Virtuoso programı kullanılmıştır. Eniyileme sırasında kullanılan bilgisayarın teknik özellikleri Çizelge 4.1'de verilmiştir.

Çizelge 4.1: Benzetim sırasında kullanılan bilgisayarların teknik özellikleri

İşlemci	Intel(R) Core(TM) i7-3930K CPU @ 3.20GHz
Bellek	16GB DDR3 @1600MHz
Sabit bellek	Virtex 4 256GB SSD
Grafik işlemci	NVIDIA GeForce GT430
İşletim Sistemi	Ubuntu 12.10

4.1 Eniyileme Algoritmasında Yapılan Değişiklikler

Parçacık Sürü Eniyilemesi algoritması son 20 yıldır popüler olan ve üzerinde çokça çalışmalar yapılan bir algoritmadır [35]–[41]. Bu çalışmada da ilk olarak saf PSO kullanılmış ve daha sonra zayıf görülen yanları ortaya çıktıkça bir takım değişiklikler yapılmıştır.

PSO eniyileme yaparken eniyilemeyi sınırlı bir uzay alanında çalıştırmak her zaman en iyi noktaya yakınsama süresini kısaltır. Bu sınırlar bazen doğal sınırlar, bazen de öngörülen ya da dışına çıkmak istenmeyen sınırlardır. Bu çalışmada devre parametrelerinin alt sınırları, tasarım kurallarını sağlayacak en küçük değerler olarak alınmıştır. Üst sınır ise üzerine çıkıldığında tabaka çizimi sırasında sorun çıkaracak veya devreyi yavaşlatacağı öngörülen sınırlardır. Eğer PSO'da herhangi bir arı herhangi bir zaman diliminde bu sınırların dışına çıkarsa duvar yansıtma özelliği kullanılır [58]. Bu durum her turda kontrol edilerek sınır dışına çıkan arı, sınır değerine geri çekilir ve hız vektörü -1 ile çarpılır.

PSO'daki tüm arıların belirli bir süre sonra hedef fonksiyona göre belirli bir noktaya yakınsaması beklenir. Hayvan sürüleri düşünüldüğü zaman tüm arıların aynı noktada toplanması mantıklı olabilir. Ancak, herhangi bir devrenin hedef fonksiyonunu çıkarmak oldukça zaman alan bir iştir. Dolayısıyla uzayda daha önceden hedef fonksiyonu bulunan bir noktanın tekrardan hesaplanması büyük bir iş gücü kaybıdır. Bu yüzden PSO uygulanırken belirli bir noktaya yakınsayan ve hareket kabiliyetini kaybeden arı uzayda rastgele başka bir noktaya atanır [59], [60]. Bu sayede bilinmeyen diğer en iyi noktaları bulma hızı ve ihtimali artar, aynı zamanda da kullanılan bilgisayarın iş yükü verimli bir şekilde kullanılmış olur.

PSO'daki bölümlerin hız katsayıları arıların davranışlarını büyük ölçüde etkilemektedir. Örneğin; eylemsizlik katsayısı a 'nın, küçük değerlerinde arı çok yavaş hareket eder ve en iyi nokta etrafında dolanır. Bu tür arılar en iyi noktayı iyileştirici arılar olarak bilinirler. En fazla "1" olmak üzere büyük değerlerde ise arı çok hızlı hareket eder ve en iyi noktaya uğrayıp yollarına devam ederler. Dolayısıyla geniş bölgelerde dolanırlar. Bu özellikteki arılar ise arayıcı arılar olarak bilinirler. İç bölüm ve sürü bölümü katsayıları ise arının kendi en iyi noktasına mı yoksa sürünün en iyi noktasına mı yöneleceğini belirler. Bu bilgiler doğrultusunda bu çalışmada farklı hız katsayılarına sahip dörder arıdan oluşan üç sürü kullanılmıştır [60]. Bu grupların hız katsayıları Çizelge 4.2'de verilmiştir. Bu sayede bazı sürüler hızlı bir

şekilde en iyi nokta bulup aramaya devam ederken, bazı sürüler bulunan o noktaya giderek daha iyi bir nokta aramaktadırlar.

Çizelge 4.2: PSO'da kullanılan sürülerin katsayıları

Katsayı	1. Sürü	2. Sürü	3. Sürü
a	0.9	-0.7	0.1
b_1	0.1	0.5	2.1
b_2	0.1	0.5	2.1

4.2 Analog Devre Eniyileyici

Günümüzde analog sinyalleri algılamak için en hassas karşılaştırıcı devreler süperiletken teknolojiyle yapılmaktadır. Süperiletken teknolojiyle SQUID'ler kullanılarak femto Tesla seviyesindeki manyetik alanları algılamak mümkündür. SQUID altyapısı kullanılarak oluşturulan QOS devreleri uygulamada elektronik algılayıcılarda, analog dijital çeviricilerde, tıp alanında ve galaksilerin görüntülenmesinde yaygın olarak kullanılmaktadırlar [19], [61]–[64]. Ancak günümüze kadar literatürde hiç bir analog devre eniyileyicisi bulunmamaktadır. Bu açığı gidermek ve daha hassas sensörler oluşturmak amacıyla bir analog devre eniyileyicisi yapılmıştır. Bu analog devre eniyileyicisini test etmek amacıyla çeşitli topolojilerde QOS devreleri üretilerek ölçümler alınmıştır.

4.2.1 Hedef Fonksiyon

QOS devrelerinde gri bölge genişliğinin dar olması önemli bir unsurdur. Ancak bir diğer unsur da bu karşılaştırıcı devrenin besleme akımı marjlarıdır. Ortamda bir gürültü veya akım kaynağının hassasiyetinden kaynaklanan bir dalgalanma olduğunda bile QOS karşılaştırıcısının düzgün çalışması beklenir. Dolayısıyla bu şartı sağlamak için PSO algoritmasının hedef fonksiyonu denklem (4.1)'de verildiği

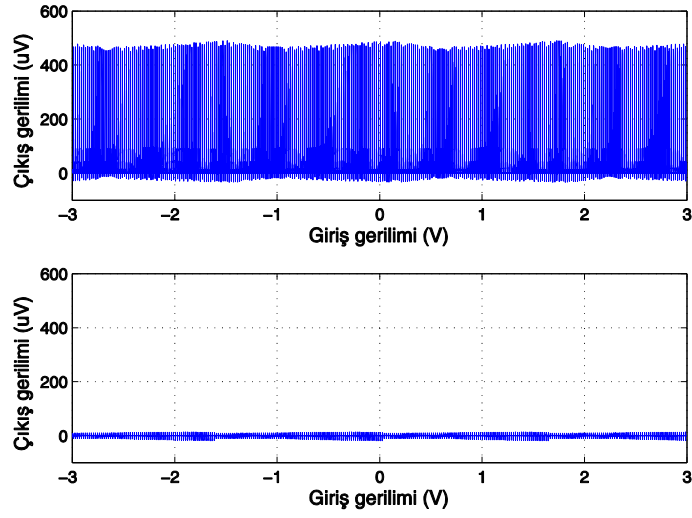
gibi, tasarlanan besleme akımı ve $\pm\%10$ besleme akımı aralığındaki 3 QOS devresinin gri bölge genişliğinin ortalaması olarak belirlenir. Böylece en az $\pm\%10$ besleme akımı marjı olan en küçük ortalama gri bölge genişliğine sahip QOS karşılaştırıcısı eniyilenmek hedeflenmiştir.

$$Hedef\ fonksiyon = \min\left(\frac{Gri(0.9 I_b) + Gri(I_b) + Gri(1.1 I_b)}{3}\right) \quad (4.1)$$

4.2.2 Analog Eniyileyici Programı

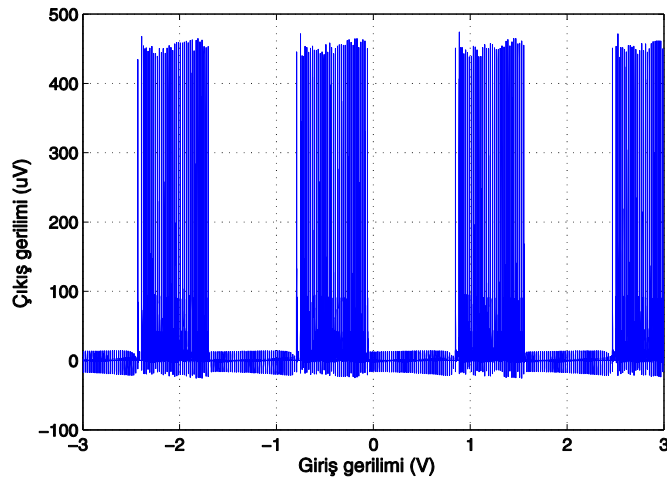
QOS karşılaştırıcı devresinin çalışmasını etkileyen 5 önemli parametre vardır. Bunlar

Şekil 2.9'da görülen G eklemının kritik akımı I_G , Q eklemının kritik akımı I_Q , S eklemının kritik akımı I_S , giriş indüktansı L_{IN} ve besleme akımı I_B 'dir. QOS devresinin sahip olduğu gri bölge genişliği bu eklemlerin içerdiği paralel dirençlerin termal gürültüsünden kaynaklanmaktadır. Termal gürültü olmadığında, bir başka deyişle 0K'de, çalışan tüm QOS devrelerinin gri bölge genişlikleri 0'dır. Gri bölgelerde Bit Hata Oranı (BER: Bit Error Rate) istatistiksel bir veri olduğundan bu değere ulaşmak için yeterli sayıda örnek içeren uzun benzetimler gerekmektedir. Aynı zamanda QOS devresi, bu parametrelerin oluşturduğu uzayda çok dar ve parçalı alanlarda düzgün çalışmaktadır. Bu yüzden gereksiz iş gücünü azaltmak için QOS devresinin ilk önce gürültüsüz benzetimi yapılır. Eğer QOS devresi, doğrusal olarak artan giriş akımı karşısında Şekil 4.1'de gibi periyodik davranış göstermiyorsa termal gürültü olduğunda da düzgün çalışmayacağı açıktır. Bu gibi devrelerin gri bölgeleri hesaplanmaz, sınır koşullarını sağlamadığından çok yüksek bir gri bölge değeri atanır.



Şekil 4.1: Doğru çalışmayan QOS devrelerinin çıkış gerilimleri

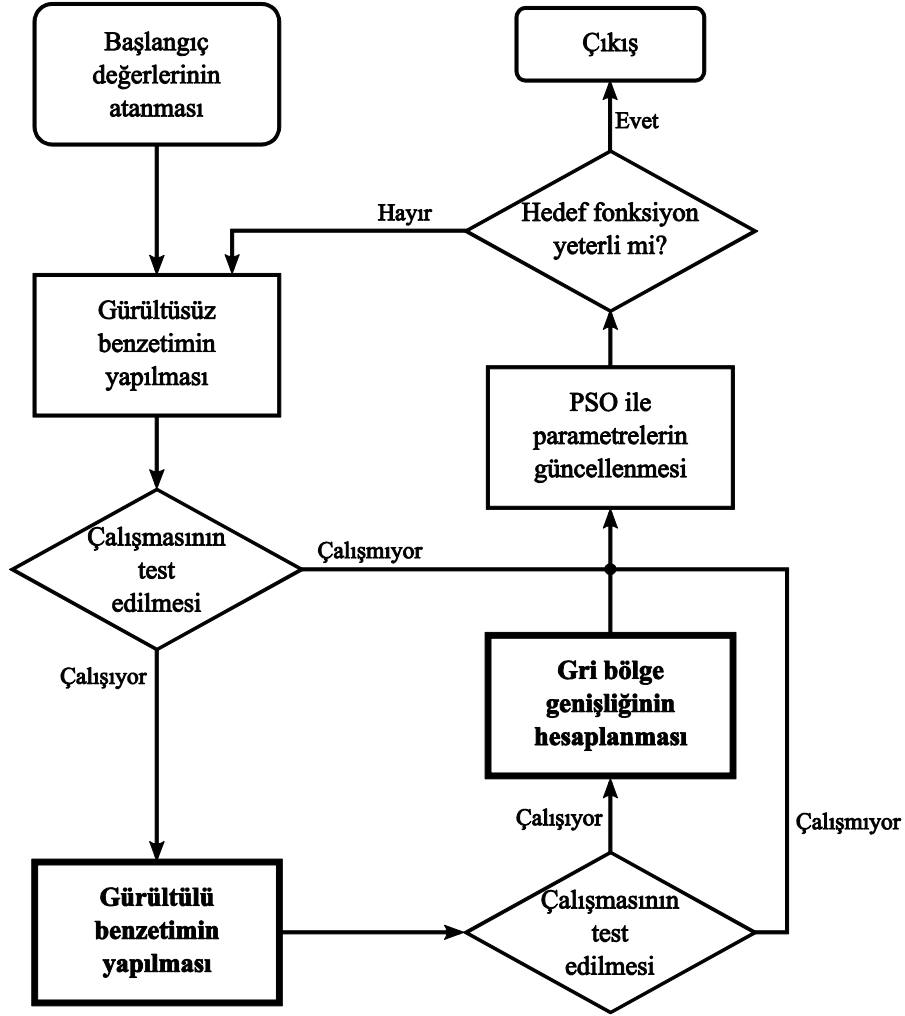
QOS devrelerinin periyodu ve BER'in "1" ve "0" olduğu genişlikler, bahsedilen beş parametreye bağlıdır. Her periyodun yükselen ve azalan gri bölge genişlikleri ayrı ayrı birbirine eşittir. Yapılan gürültüsüz benzetim sayesinde Şekil 4.2'teki gibi periyot bilgisi elde edilir ve sadece bir periyottaki gri bölge genişlikleri hesaplanır.



Şekil 4.2: Düzgün çalışan QOS devresinin gürültüsüz benzetimi

QOS devresinin gri bölge genişliği devreden devreye 1 μA 'in altına inebilmektedir. Periyodu 100 μA seviyesinde olan devreleri 0.1 μA aralıklarla kaba tarama yapmak çok uzun zaman almaktadır. Aynı zamanda gürültüsüz benzetimde düzgün çalışan bir devrenin BER grafiği gürültü benzetimde her zaman 1'e çıkamayabilir ya da 0'a inemeyebilir. Bu yüzden gürültüsüz benzetimdeki BER'in 0 ve 1 olduğu bölgelerden beşer tane örnek akım verilip BER'in 0'a ve 1'e ulaşip ulaşamadığına bakılır. Eğer bu devre bu sınamadan da geçerse, hem yükselen hem de azalan gri bölgenin olduğu bölgede 2 farklı ikili arama algoritması çalışır. Bu algoritma ilk önce sıralı bir biçimde bulunan BER noktalarından 0 ve 1 arası BER'i 0.3 ile 0.7 arasında bir örnek bulmaya çalışır. Bu aralıkta bir örnek bulunduğunda, mesela 0.45, 0 ile 0.45 arasında BER'i 0.05'e sahip giriş akımını ve 0.45 ile 1 arasında BER'i 0.95 olan giriş akımını bulmaya çalışır. Sonuç olarak devrenin gri bölge genişliği BER'i 0.05 ile 0.95 arasındaki giriş akımı farkı olarak atanır.

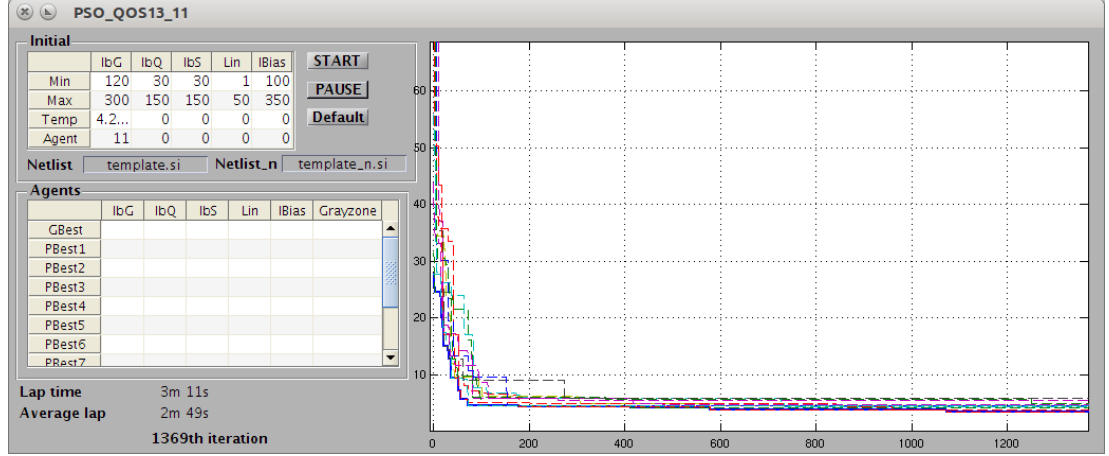
Analog eniyileme sürecinin genel akış diyagramı Şekil 4.3'te verilmiştir. Kalın çerçeveli aşamalar esas zaman alan işlemleri belirtmektedir. Bahsedilen tüm bu geliştirmeler yapıldığı 11 arının 3 farklı besleme akımına sahip 33 QOS devresinin gri bölge genişliklerinin çıkarmak 2 saati aşan süreden ortalama 3-4 dakikaya düşürülmüştür. Bununla birlikte giriş akımındaki adım aralığı 1 μA 'den 0.1 μA 'e indirilmiştir.



Şekil 4.3: Analog eniyileme sürecinin akış diyagramı

Analog devre eniyileyici programının grafik kullanıcı arayüzü Şekil 4.4'de görülmektedir. Başlangıç değerleri arayüzdeki *Initial* bölümünden yapılmaktadır. İlk iki satır beş parametrenin en küçük ve en büyük limit değerleri, ikinci satırın ilk değeri sistemin Kelvin cinsinden sıcaklığını, üçüncü satırın ilk değeri ise PSO'daki arı sayısını belirler. Kullanılacak QOS devresinin şablon netlisti gürültüsüz benzetim için *Netlist* kısmına, gürültülü benzetim için *Netlist_n* kısmına girilir. Gerekli tüm ayarlamalar yapıldıktan sonra *Start* tuşuna basılarak eniyileme süreci başlatılır. Her tur sonunda sürünün ve arıların en iyi noktalarının parametreleri ve bu noktalardaki hedef fonksiyonu *Agents* bölümde güncellenir. Ayrıca sağ bölümden sürünün ve

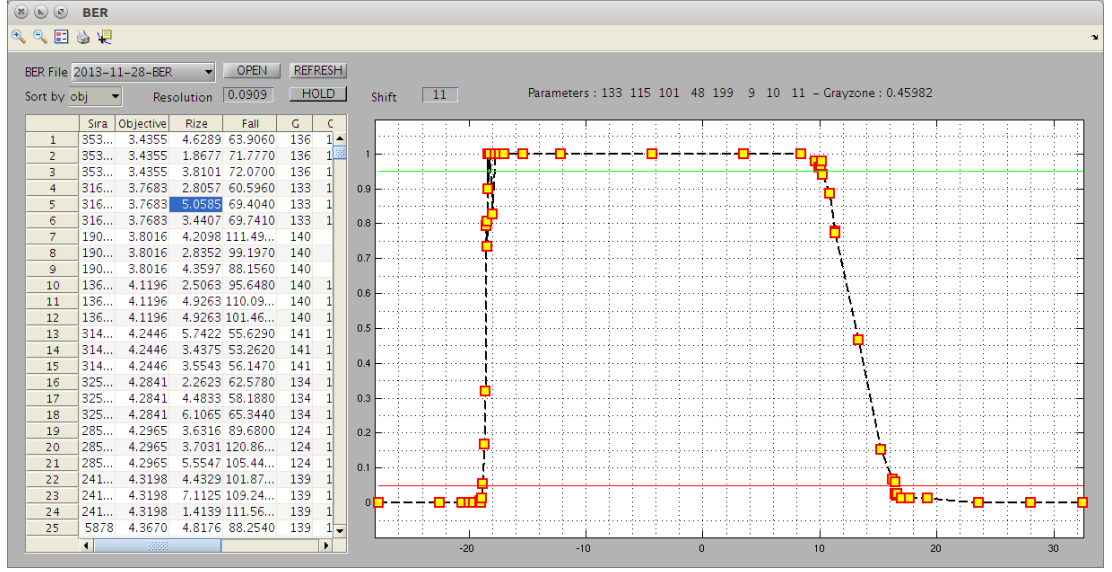
arıların en iyi noktalarının hedef fonksiyonlarının tur sayısına göre değişimi görülebilir. Sürünün bir noktaya yakınsadığı görüldüğünde program durdurulur.



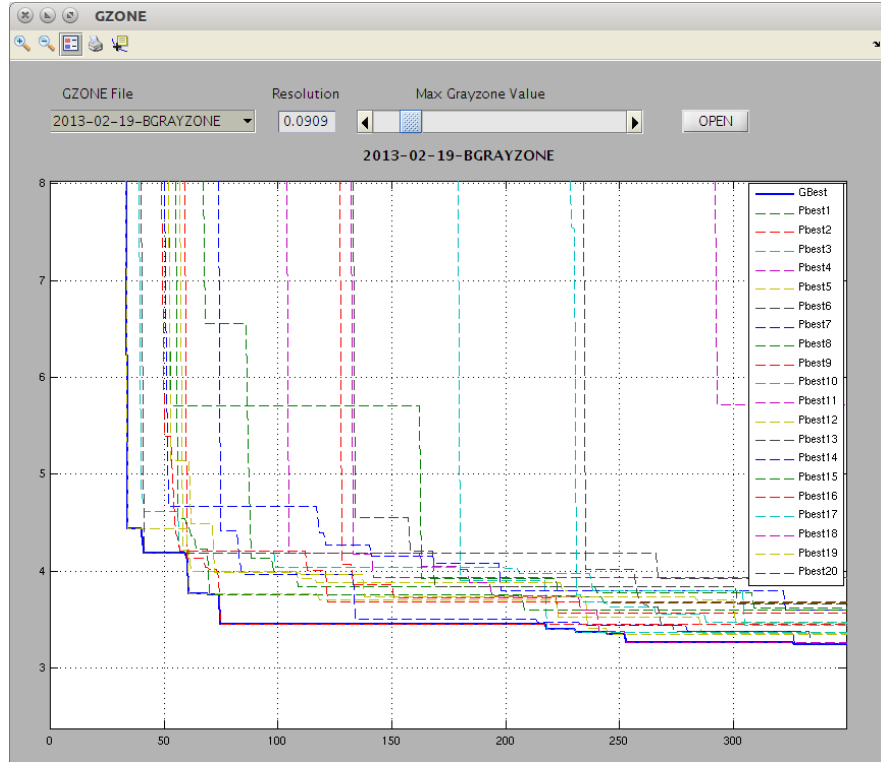
Şekil 4.4: Analog Eniyileyici programın grafik kullanıcı arayüzü

Program arıların gezindiği noktadaki QOS devrelerinin BER grafiklerinin kütüğünü tutar. Daha sonra Şekil 4.5'deki program aracılığıyla bu kütükten istenilen devrenin parametreleri ve gri bölge genişlikleri alınır. Alınan örnekler kırmızı çerçeveli sarı karelerle gösterilmektedir. İkili arama algoritmasının sadece gri bölgelerde örnekler aldığı açık bir şekilde görülmektedir.

Şekil 4.6'de 20 arı bir PSO'da arıların en iyi bölgeye yakınsadıkları açık bir şekilde görülmektedir. Bu program yardımıyla programın kütüklerinden birden fazla PSO sonucunun karşılaştırılması yapılabilir. Çünkü PSO algoritması tüm eniyileme algoritmaları gibi mutlak en iyiyi değil, en kısa sürede en iyi noktayı bulmayı amaçlar.



Şekil 4.5: Analog eniyileyiciyle eniyilenen QOS devrelerin seçimini



Şekil 4.6: Analog eniyileyici programının farklı çalışmalarının en iyi gri bölgelerinin

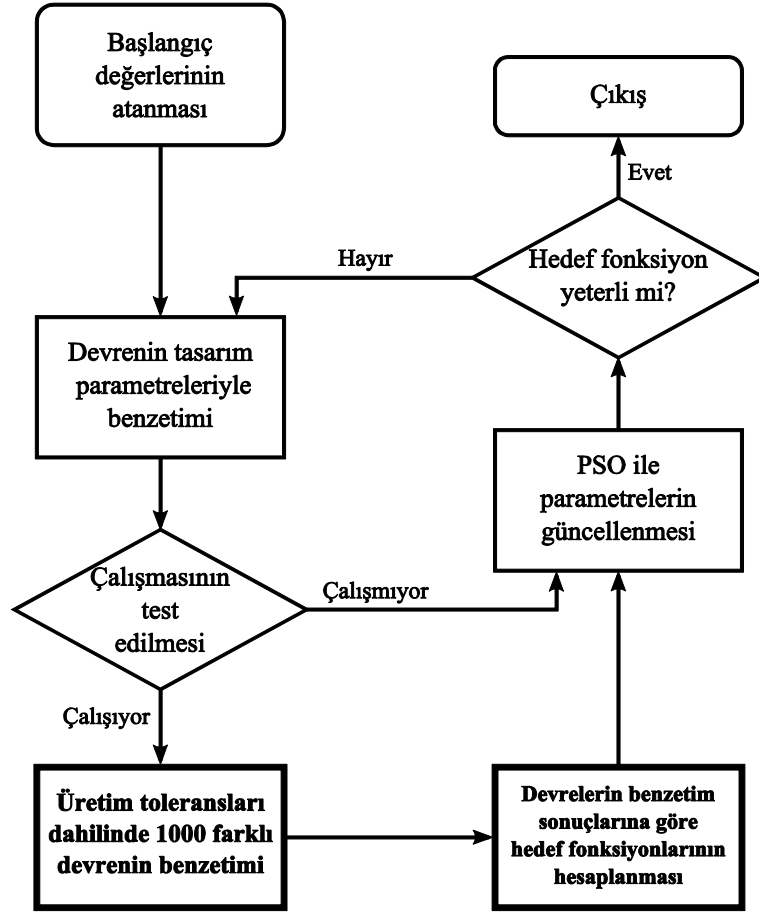
4.3 Dijital Devre Eniyileyici

Süperiletken RSFQ mantık devrelerinin mantıksal fonksiyonelliği ve devrelerin gecikmeleri üretimden kaynaklanan parametre sapmalarına bağımlılığı oldukça yüksektir. Geleneksel eniyileme yönteminin aksine bu sorunları azaltacak bir eniyileme yöntemi geliştirilmiştir. Bu yöntem aşağıda ayrıntılı bir şekilde açıklanmıştır.

4.3.1 Hedef Fonksiyon

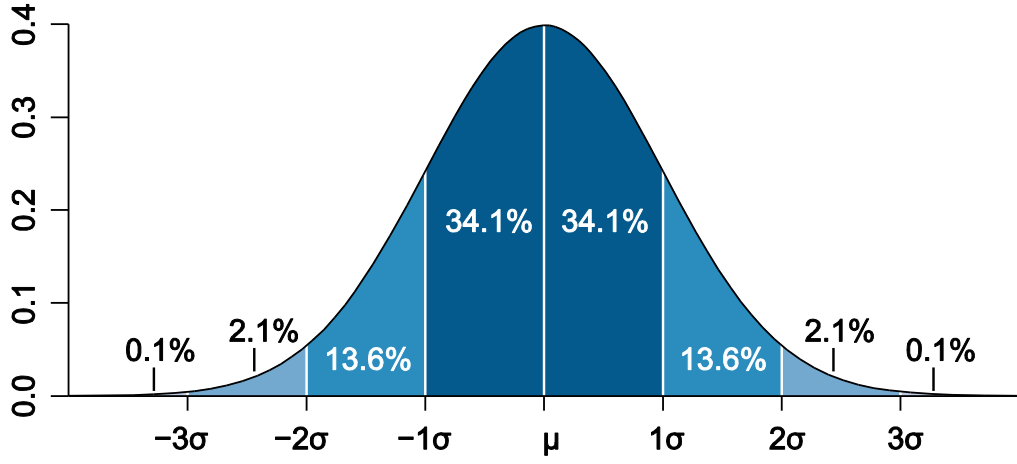
Tasarlanan devre parametreleri üretimden kaynaklanan marjlar dahilinde belirli bir aralıkta Gaussian dağılımına göre rastgele atanarak bu şekilde 1000 adet JSIM netlisti oluşturulur. Daha sonra bu netlistlerin JSIM yardımıyla benzetimi yapılır ve devrenin hazırlanmış test vektörüne göre doğru çalışıp çalışmadığı kontrol edilir ve her bir devrenin gecikmesi hesaplanır. Eniyileme algoritmasına göre hedef fonksiyon ise denklem (4.2)'deki gibi doğru çalışan netlistlerin gecikmelerindeki standart sapmanın doğru çalışan netlistlerin oranına bölümü olarak atanır. Böylece hem devrelerin gecikmelerindeki seğirmeler azalır hem de doğru çalışan netlistlerin sayısı arttırılarak parametre marjları istenilen oran aralığında tutulur ve üretilen yongaların çalışma oranı arttırılır. Bu sayede eniyileme üç farklı kıstası da aynı anda içerir. Dijital devre eniyileyicisinin akış diyagramı Şekil 4.7'de ayrıntılı bir şekilde görülebilir.

$$Hedef\ fonksiyon = \min \left(\frac{gecikmedeki\ standart\ sapma(çalışan\ devreler)}{çalışan\ devrelerin\ yüzdesi} \right) \quad (4.2)$$



Şekil 4.7: Dijital devre eniyileycisinin akış diyagramı

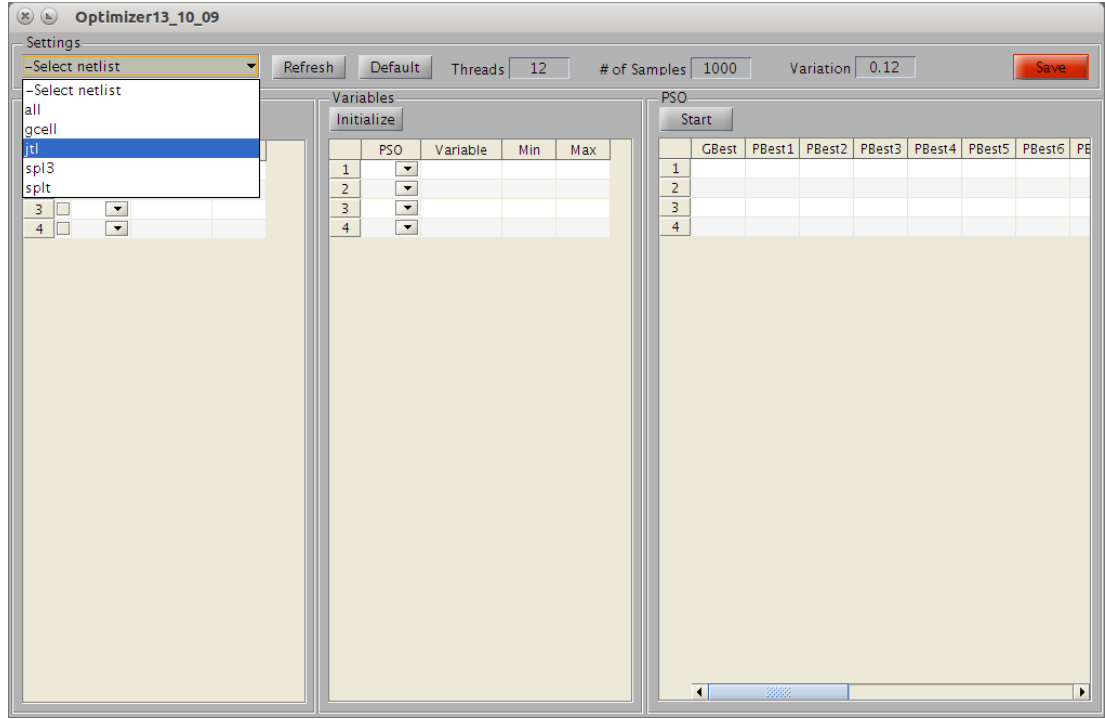
Üretim tesisinin verilerine göre eklemlerin kritik akımları yonga içinde $\pm\%5$, yonga plakası içinde $\pm\%15$, üretimden üretime $\pm\%15$ oynama gösterebilmektedir. Benzer şekilde indüktans ve direnç değerleri hesaplamalar ve üretimden kaynaklanan yerel kusurlarda dahil $\pm\%20$ 'lik dilim içinde yer almaktadır. Bu sapmaları sağlamak için hedef fonksiyonda 3-sigma kuralı kullanılmıştır. Bu kurala göre normal dağılımdaki verilerin $\%68$ 'i $\pm\sigma$, $\%95$ 'i $\pm2\sigma$, $\%99.7$ 'si ise $\pm3\sigma$ aralığında yer almaktadır. 3-sigma kuralı Şekil 4.8'da daha açık bir şekilde görülmektedir. Eniyileme sırasında sigma değerleri parametrelerin $\pm\%12$ 'si seçilmiştir, bir başka deyişle parametrelerin kritik marjları yaklaşık $\pm\%25$ 'lik bir aralığa çekilmek istenmiştir.



Şekil 4.8: 3-sigma kuralı [65]

4.3.2 Dijital Devre Eniyileyici Program

Dijital devre eniyileyici programı kullanabilmek için, eniyilenecek devrenin JSIM netlistinin oluşturulması ve devrenin düzgün çalışıp çalışmadığını kontrol eden netlist ile aynı isme sahip MATLAB betiğinin yazılması gerekmektedir. Bu aşamadan sonra her şey grafik kullanıcı arayüzü yardımıyla yapılmaktadır. Programı çalıştırdıktan sonra Şekil 4.9'da görülen *Settings* bölümündeki açılır listeden netlist seçilir. Eğer netlist gözükmiyorsa, netlistin MATLAB'ın arama yolunda olduğundan emin olup *Refresh* tuşuna basılmalıdır. *Settings* bölümünde bulunan *Threads* sürüdeki arı sayısını, *# of samples* hedef fonksiyonu çıkarmak için kullanılan netlist sayısını, *STD* ise parametrelerde oluşan standart sapmayı ayarlar.

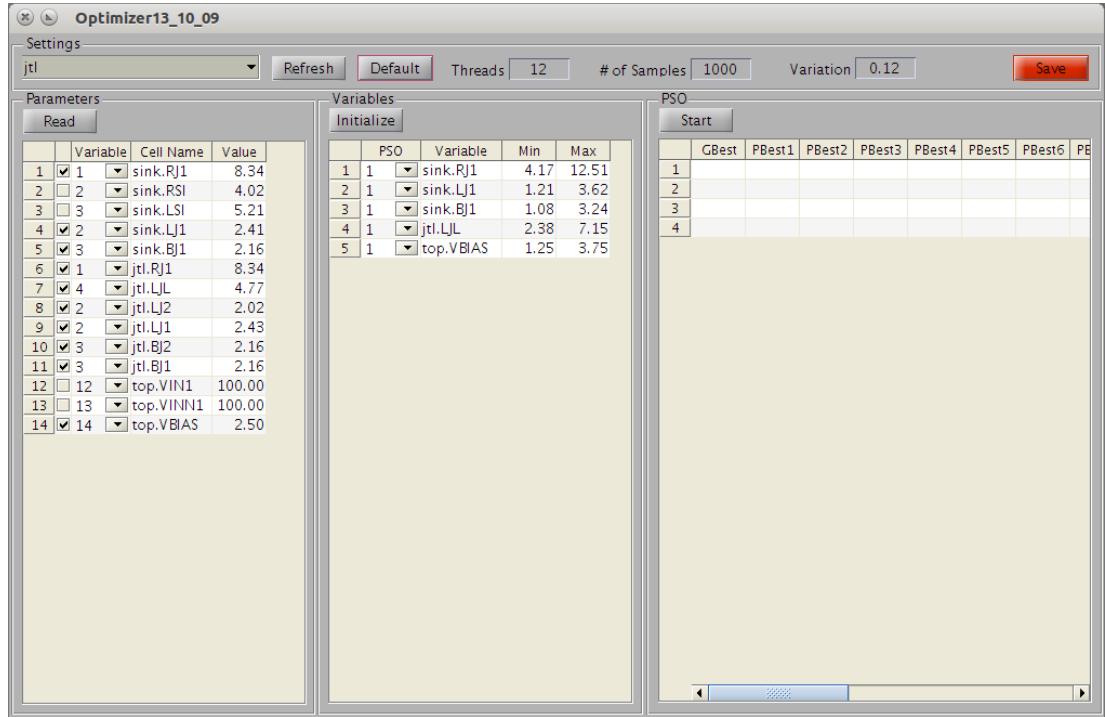


Şekil 4.9: Dijital devre eniyileyicide eniyilenecek devre netlistinin seçimi

Gerekli ayarlamalar yapıldıktan sonra *Parameters* bölümünden *Read* tuşuna basılır. Bu tuş seçilen netlistin okunup bir veri yapısı şekline dönüştürülmesini sağlar. Netlistteki tüm parametreler Şekil 4.10'deki gibi *Parameters* bölümünde listelenir. Bu listede *Cell Name* kısmında noktadan önce yazan kısım alt devrenin adını, sonraki kısım ise parametrenin adını gösterir. İlk sütundan eniyilenmesi istenen parametreler işaretlenir. *Variable* sütununda eğer birden fazla parametre aynı değişkene bağlanmak isteniyorsa buradan aynı numaraya atanırlar. Sayıların ardışık olması gerekmemektedir.

Eniyilenecek parametreler ve bu parametrelerin atanacağı değişkenler seçildikten sonra *Variables* bölümünden *Initialize* tuşuna basılır. Bu sayede ayarlanan değişkenler bu bölümde listelenir. Değişken isimleri netlistte ilk olarak beliren parametre ismidir. Buradan hangi parametrenin hangi PSO'ya atanacağı seçilir. Aynı anda birden fazla PSO çalışabilmektedir. PSO numaraları seçildikten sonra değişkenlerin en küçük ve en büyük değerleri belirlenir. Varsayılan olarak ayarlanan bu değerler, şablon

netlistteki deęerlerin $\pm\%50$ 'sidir. Eęer deęer tasarım kurallarının altındaysa otomatik olarak en k¼¼k tasarım limitine çekilir. Bu iřlem yapıldıktan sonra *Settings* bölümündeki kırmızı *Save* tuřuna basıldıęında ayarlar kaydedilir ve bir dahaki sefere netlist seçildikten sonra *Default* tuřuna basılarak yapılan tüm ayarlara hızlı bir řekilde ulařılabilir.



řekil 4.10: Dijital devre eniyileyici programının grafik kullanıcı arayüzü

Deęişkenlerin limit deęerleri ayarlandıktan sonra PSO bölümündeki *Start* tuřuna basıldıęında PSO çalışmaya başlar ve her tur sonunda listedeki en iyi devre parametreleri güncellenir.

5 SONUÇLAR

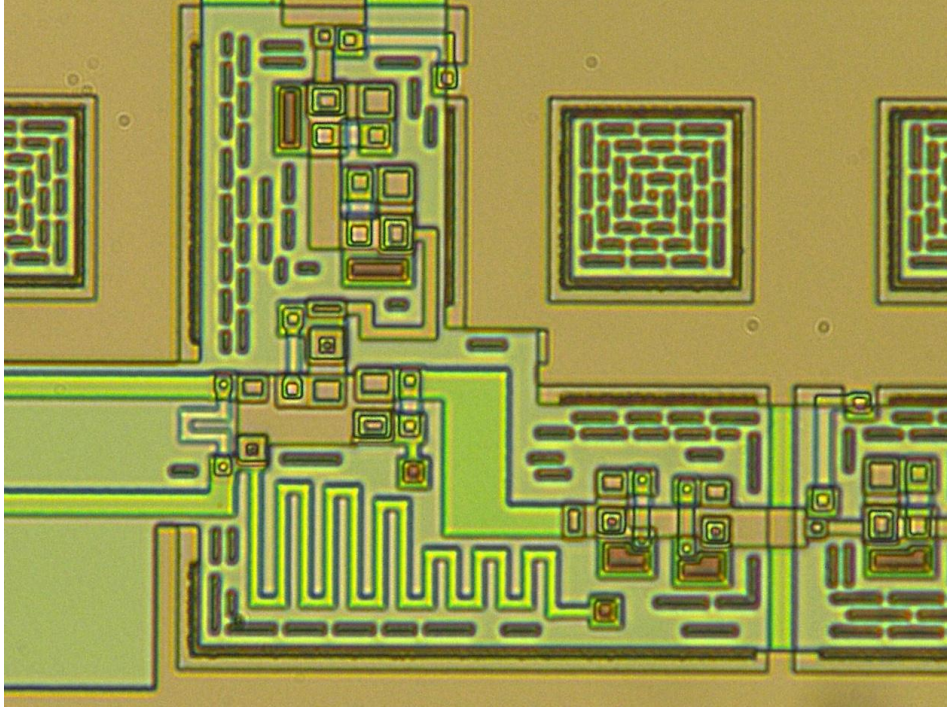
5.1 QOS Ölçümleri

Geleneksel QOS topolojisinde farklı gri bölge genişliklerine sahip dört QOS test devresi AIST STP2 [45] süreciyle üretilmiş ve ölçülmüştür. Üretilen QOS devrelerinin parametreleri Çizelge 5.1'de verilmiştir.

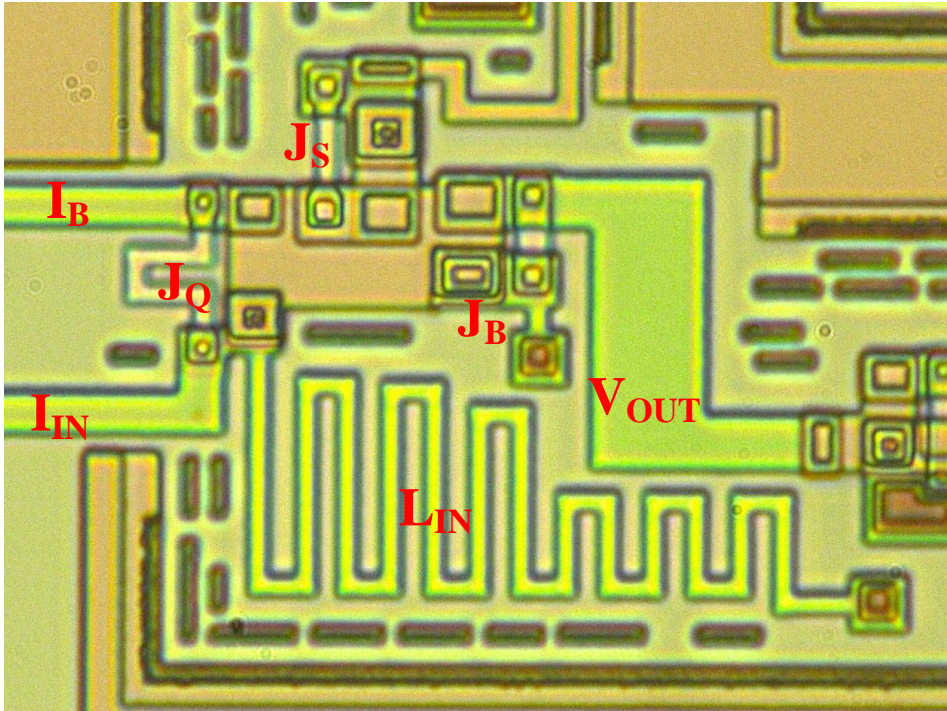
Çizelge 5.1: Üretilen geleneksel QOS devrelerinin parametreleri

Parametre	I_{CB} (μA)	I_{CQ} (μA)	I_{CS} (μA)	L_{IN} (pH)	I_B (μA)
Tasarım 1	176	30	66	40.9	207
Tasarım 2	233	49	66	16,12	275
Tasarım 3	182	60	94	30.42	210
Tasarım 4	234	79	94	12	270

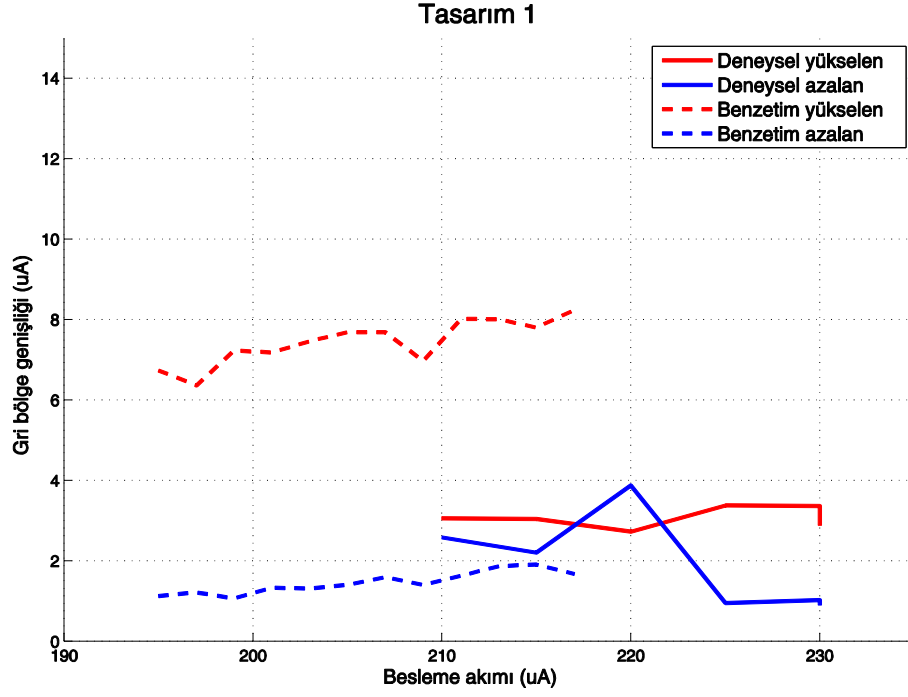
Üretilen devrelerden birinci tasarımın test devresinin mikroskop görüntüleri ve yakın plan görüntüleri sırasıyla Şekil 5.1, Şekil 5.2'de verilmiştir. Aynı QOS devresinin besleme akımına göre yükselen ve azalan gri bölge genişlikleri hem benzetim hem de deneysel olarak elde edilmiş ve Şekil 5.3'te verilmiştir.



Şekil 5.1: Birinci tasarımın üretilmiş test devresi ile birlikte fotoğrafı



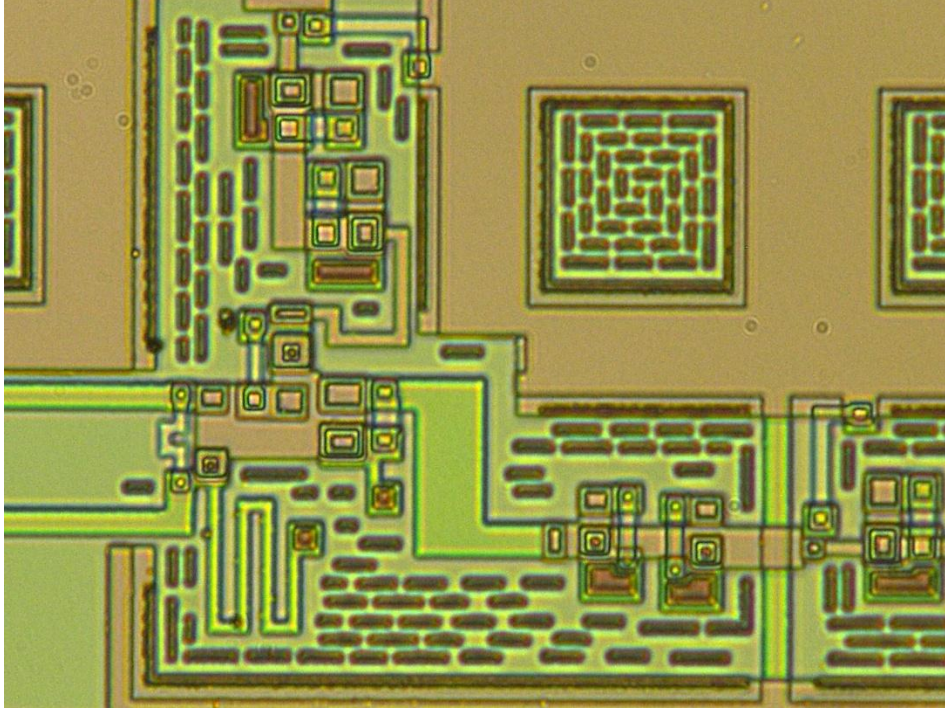
Şekil 5.2: Birinci tasarımın üretilmiş yakın plan fotoğrafı



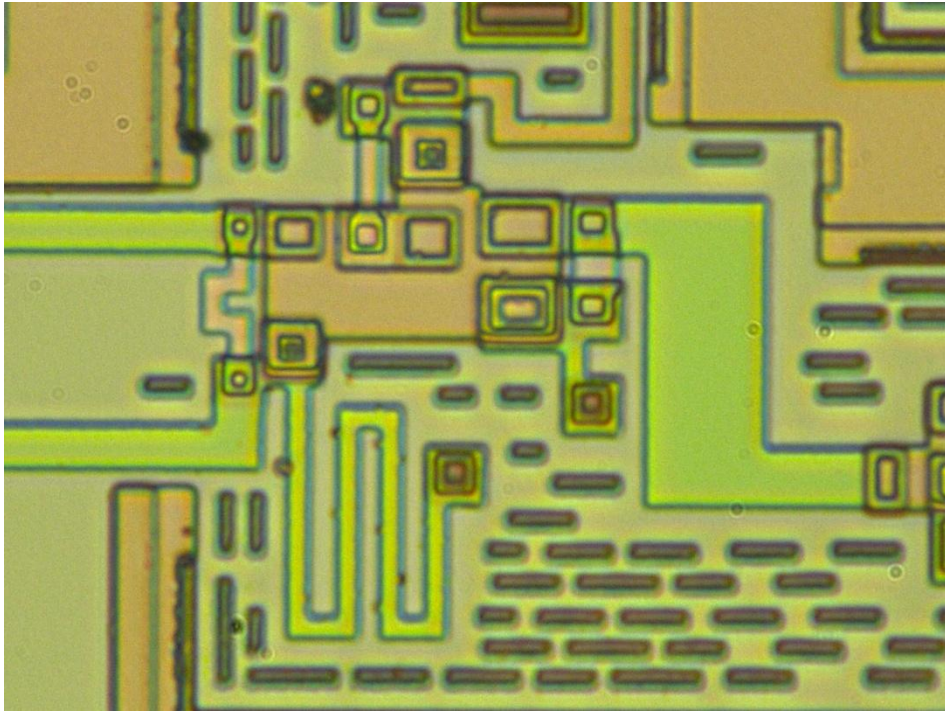
Şekil 5.3: Birinci tasarımın besleme akımına bağlı gri bölge genişliğinin ölçüm ve benzetim sonuçları

İkinci tasarımın üretilen test devresi ve yakın çekim görüntüleri Şekil 5.4 ve

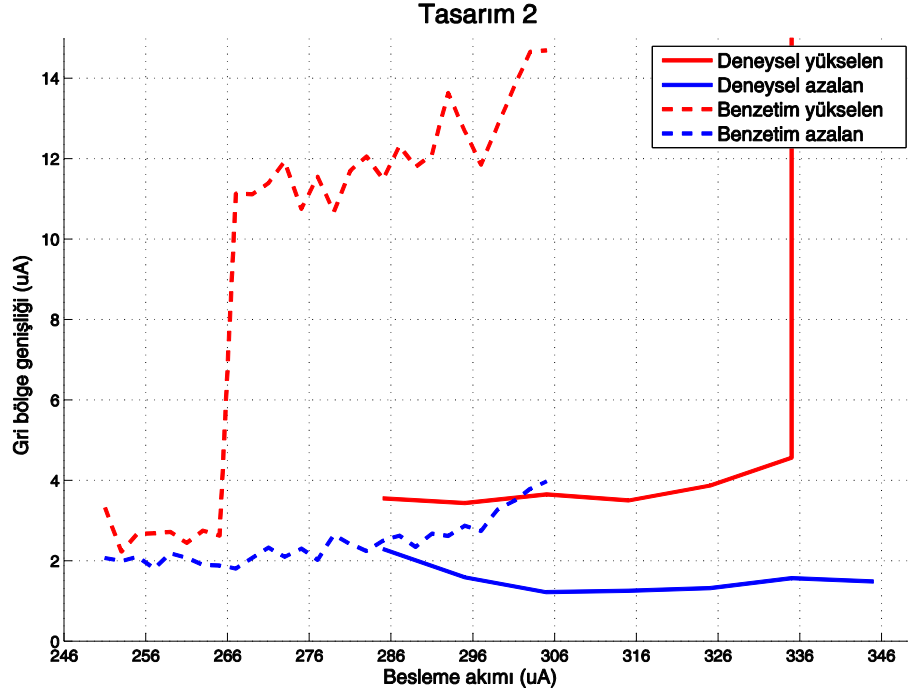
Şekil 5.5'te görülmektedir. Bu devrenin besleme akımına göre değişen gri bölge genişlikleri hem benzetimsel, hem de deneysel olarak elde edilmiş olarak Şekil 5.6'da verilmiştir.



Şekil 5.4: İkinci tasarımın üretilmiş test devresi ile birlikte fotoğrafı

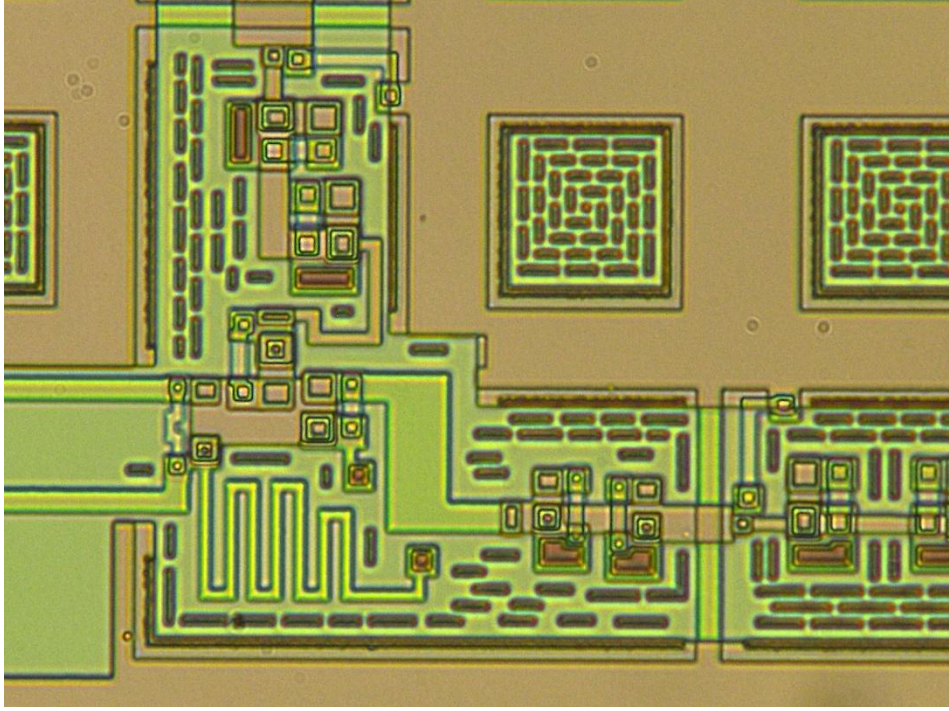


Şekil 5.5: İkinci tasarımın üretilmiş yakın plan fotoğrafı

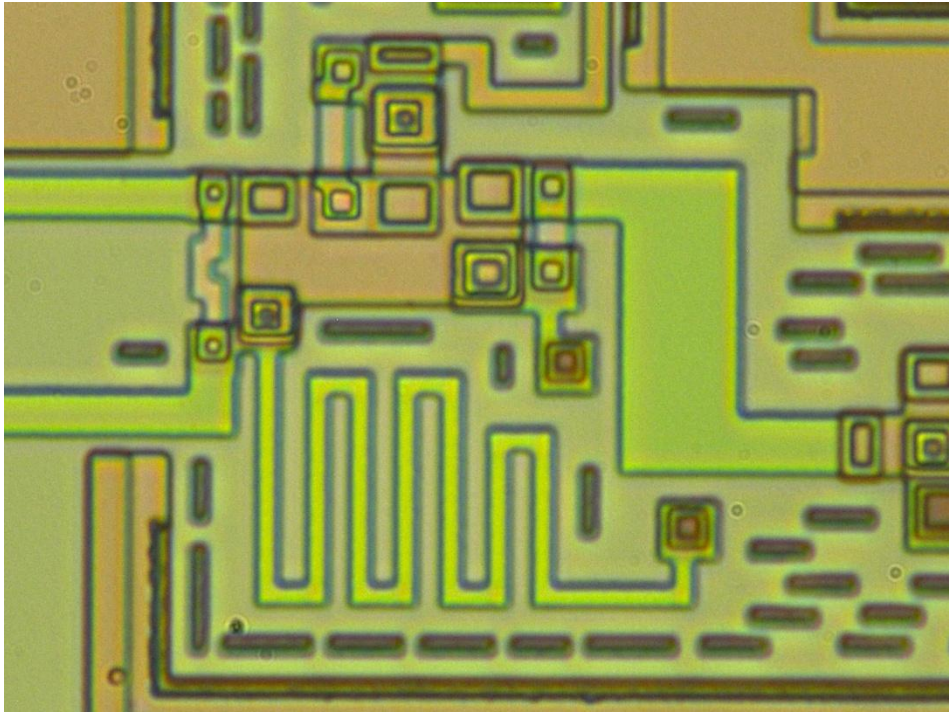


Şekil 5.6: İkinci tasarımın besleme akımına bağlı gri bölge genişliğinin ölçüm ve benzetim sonuçları

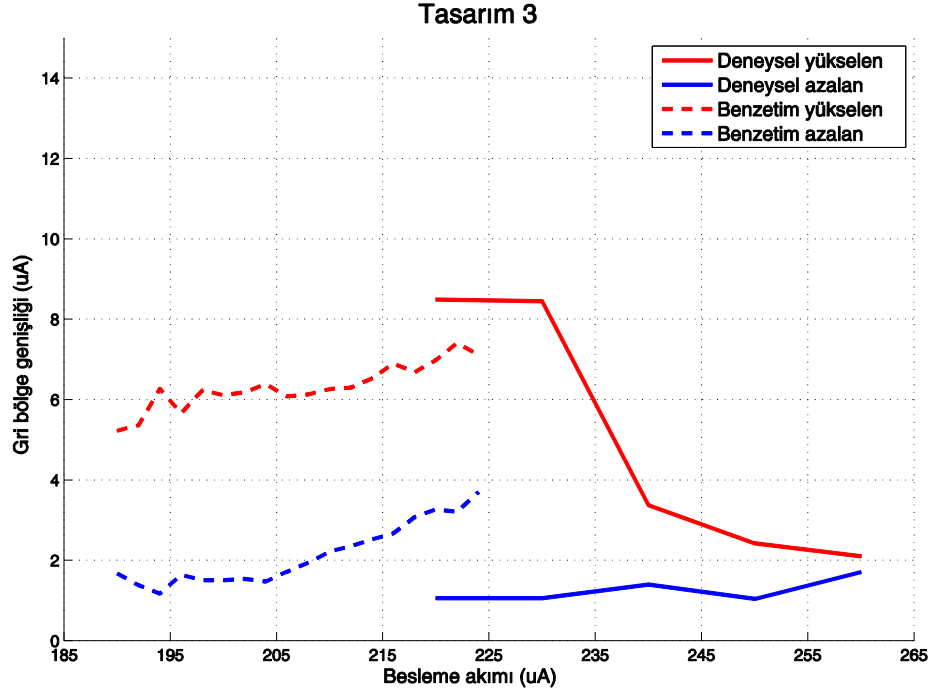
Üçüncü tasarımın üretilen test devresi ve yakın çekim görüntüleri Şekil 5.7 ve Şekil 5.8'de görülmektedir. Bu devrenin besleme akımına göre değişen gri bölge genişlikleri hem benzetimsel, hem de deneysel olarak elde edilmiş olarak Şekil 5.9'da verilmiştir.



Şekil 5.7: Üçüncü tasarımın üretilmiş test devresi ile birlikte fotoğrafı

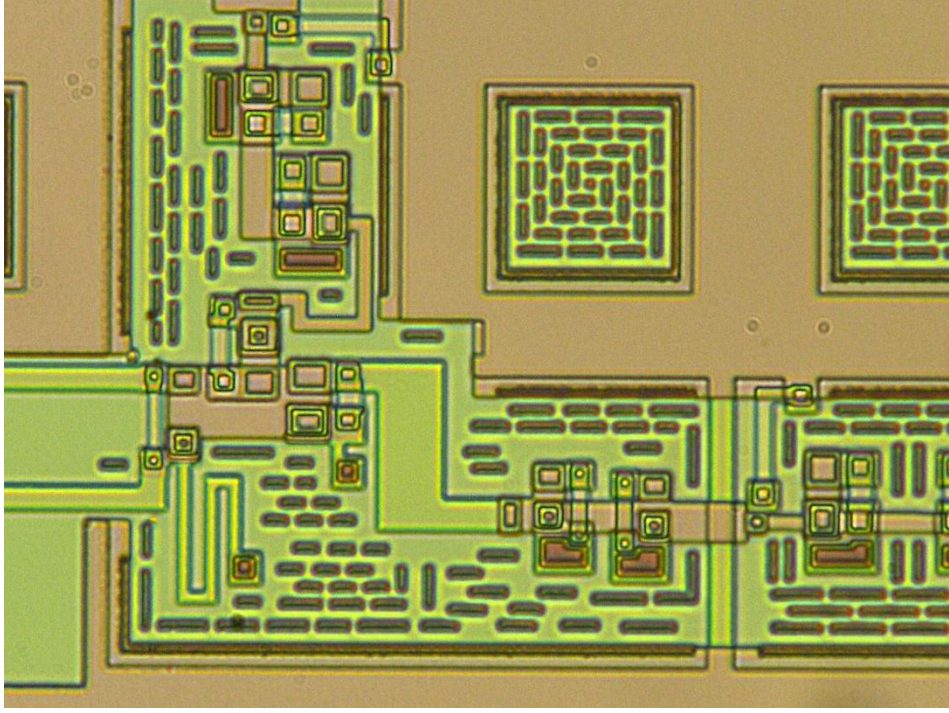


Şekil 5.8: Üçüncü tasarımın üretilmiş yakın plan fotoğrafı

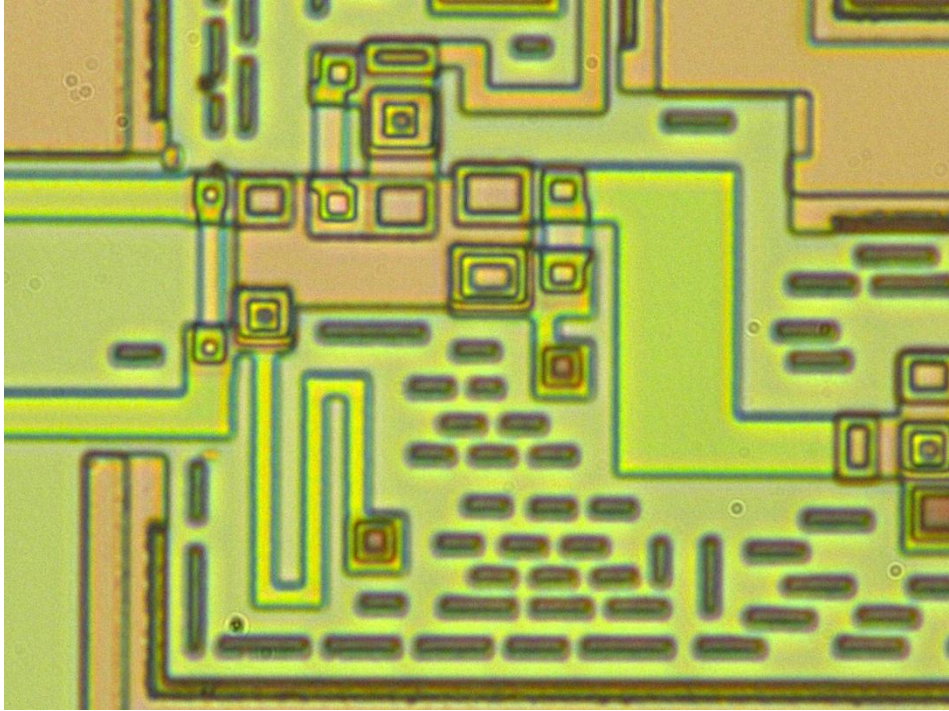


Şekil 5.9: Üçüncü tasarımın besleme akımına bağlı gri bölge genişliğinin ölçüm ve benzetim sonuçları

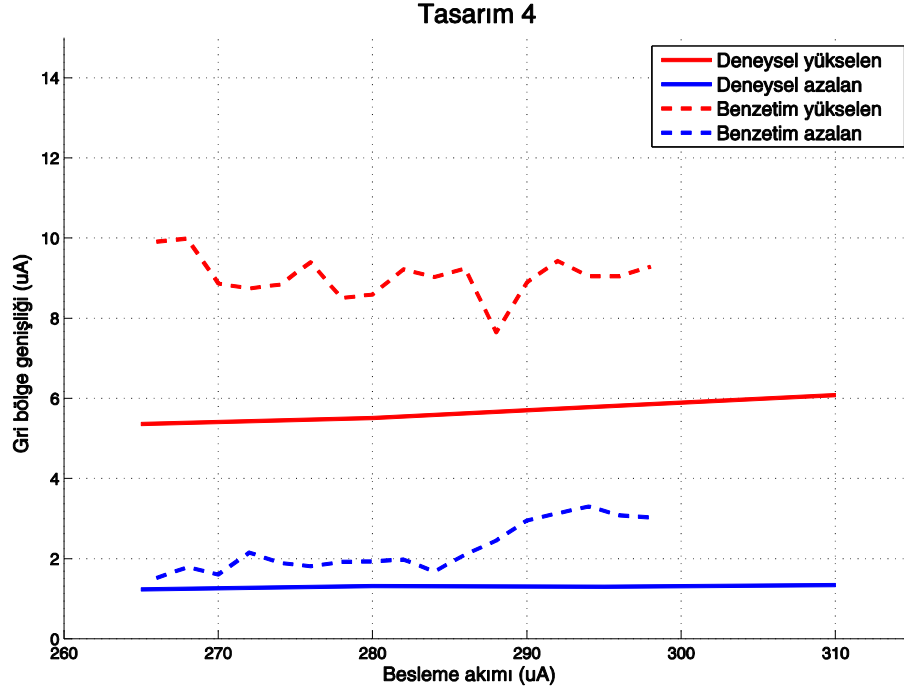
Dördüncü tasarımın üretilen test devresi ve yakın çekim görüntüleri Şekil 5.10 ve Şekil 5.11'de görülmektedir. Bu devrenin besleme akımına göre değişen gri bölge genişlikleri hem benzetimsel, hem de deneysel olarak elde edilmiş olarak Şekil 5.12'de verilmiştir.



Şekil 5.10: Dördüncü tasarımın üretilmiş test devresi ile birlikte fotoğrafı



Şekil 5.11: Dördüncü tasarımın üretilmiş yakın plan fotoğrafı

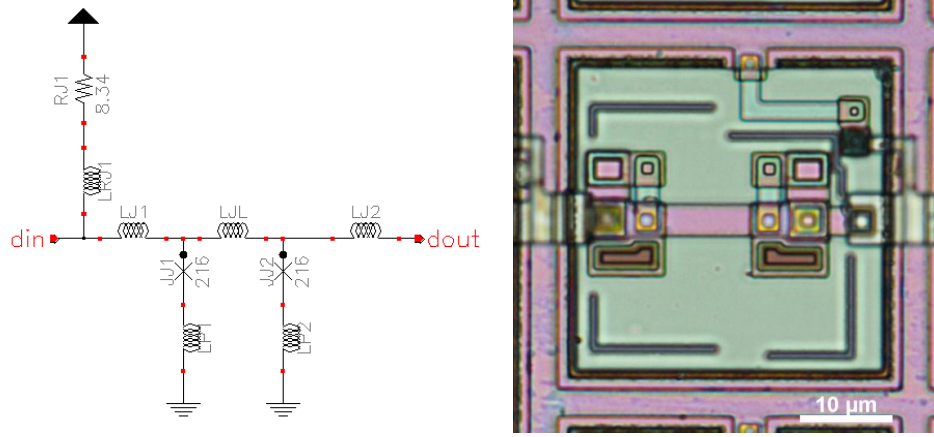


Şekil 5.12: Dördüncü tasarımın besleme akımına bağlı gri bölge genişliğinin ölçüm ve benzetim sonuçları

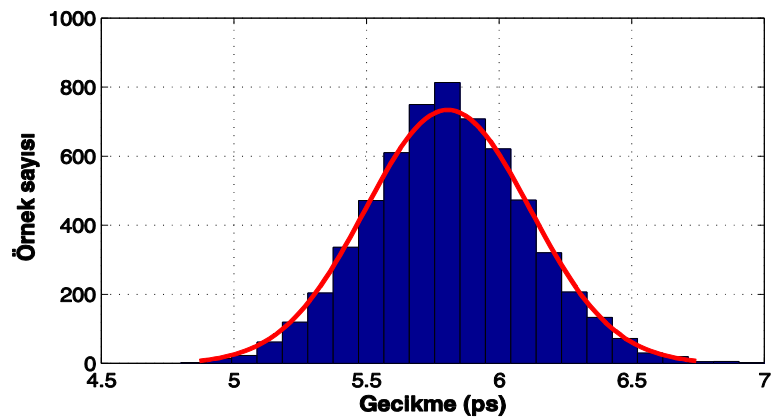
JSIM benzeticiyi kullanılarak elde edilen gri bölge genişlikleri genel olarak deneysel ölçülen gri bölge genişliklerinden daha geniş çıkmaktadır. Ancak orantısal olarak aralarında bir tutarlılık vardır. Benzetim ve ölçüm sonuçlarına göre en düşük gri bölge genişliği birinci tasarıma ait olmasına rağmen bu tasarımın besleme akımı marjı, diğerlerine oranla düşüktür. Belirli bir alanda yüksek hassasiyet gerektiren uygulamalarda kullanılabilmesine rağmen seri üretim için uygun değildir. QOS devresinin yeniden başarıyla üretilebilmesi ve aynı yonga içerisinde QOS devrelerinden oluşan algılayıcı dizisi oluşturulabilmesi için besleme akımı marjları da önemlidir. Bu kısıttan bakıldığında dördüncü tasarım geniş besleme akımı marjlarıyla ve düzgün gri bölge genişlikleriyle uygun bir adaydır. Bununla birlikte ölçülen dört tasarım da literatürde kaydedilmiş geleneksel QOS devrelerinden daha düşük gri bölge genişliklerine sahiptirler.

5.2 Eniyilenen Dijital Hücre Kütüphanesi

RSFQ dijital hücreler farklı giriş ve çıkış empedanslarına sahip olduğundan tüm dijital hücrelerin giriş-çıkış empedansları JTL'le birbirine bağlanacak şekilde tasarlanır. Bu yüzden tüm dijital hücreler giriş ve çıkışlarında tek eklemli JTL'ler barındırırlar. Tüm dijital hücrelerin eniyilemesi JTL parametlerine bağlı olduğundan, her hücre için aynı anda farklı PSO'lar kullanılarak eniyilenmiştir. Elde edilen sonuçlar ve hücrelerin gecikme ve kritik parametre marjları aşağıda verilmiştir.



Şekil 5.13: En iyilenen JTL devresinin şematiği ve üretilen devrenin fotoğrafı

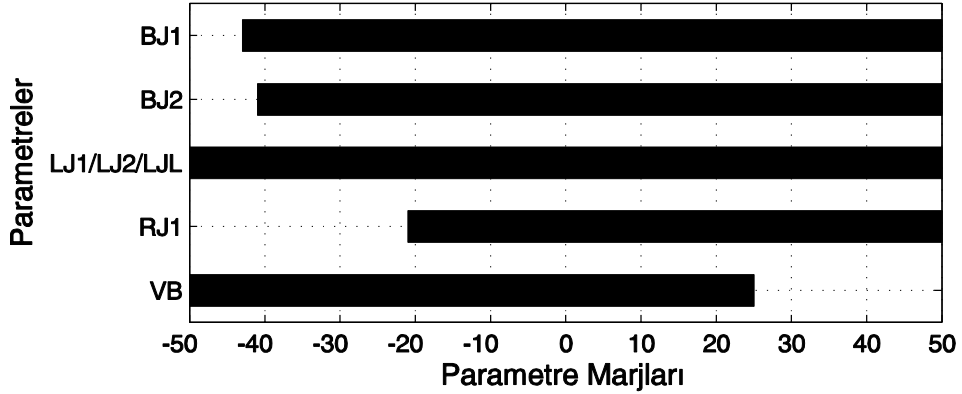


Şekil 5.14: Tasarlanan JTL devresiyle $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı

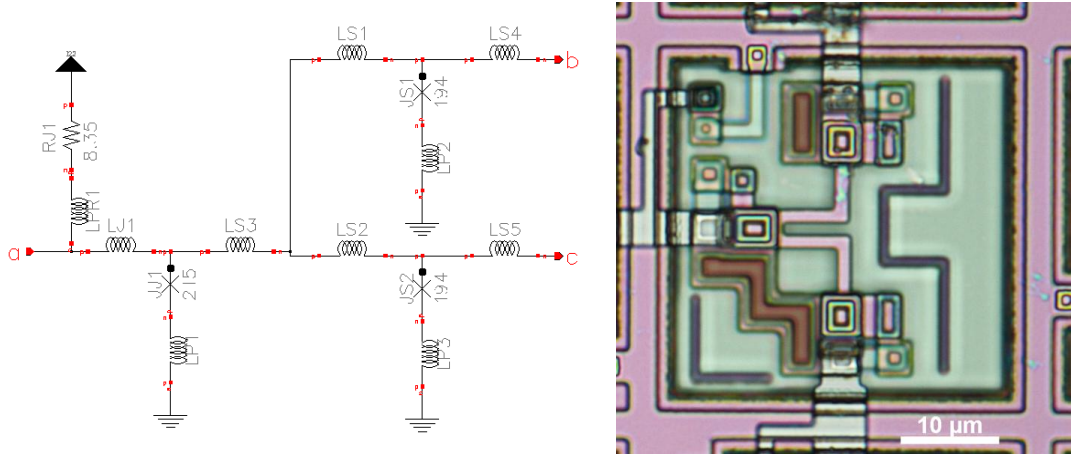
Çizelge 5.2: Tasarlanan JTL devresinin parametreleri ve kritik marjları

Parametre	Değeri	Kritik Marj
JJ1	182 μ A	-%43 / >+%50
JJ2	182 μ A	-%41 / >+%50
LJ1 / LJ2 / LJL	2.17 pH	> \pm %50
RJ1	8.55 Ω	-%49 / >+%50
VB	2.5 mV	<-%50 / +%25

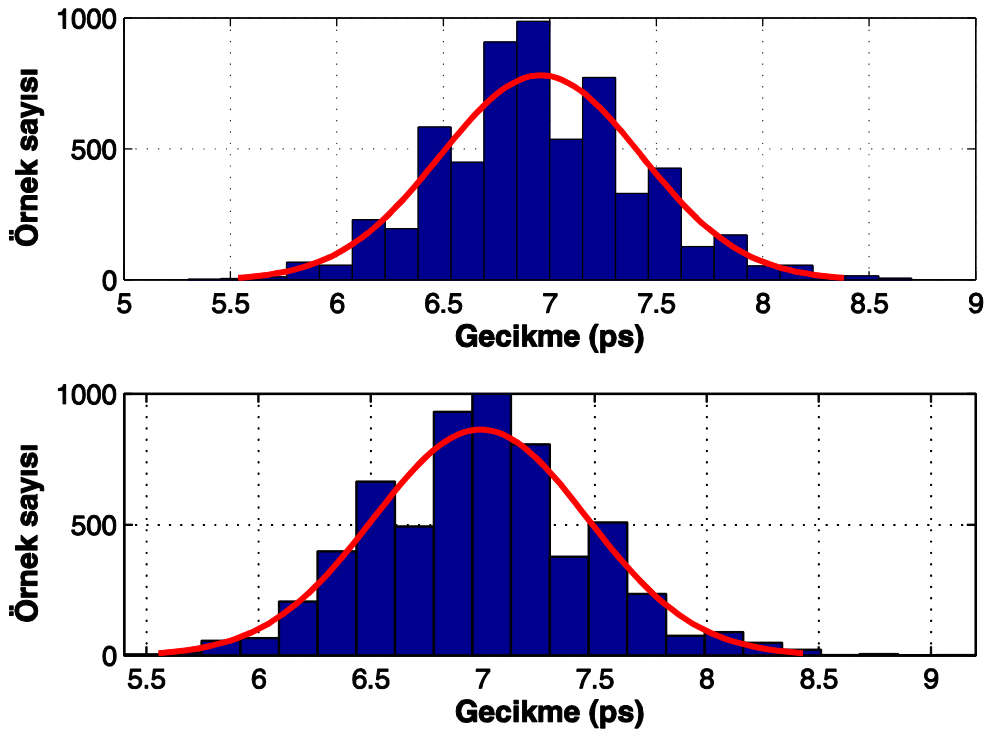
Dijital devre eniyileme programıyla eniyilenen JTL devresinin şematiği ve üretilen devrenin fotoğrafı Şekil 5.13'te, \pm %5 parametre marjı ile rastgele oluşturulmuş 6000 JTL devresinin gecikme dağılımı Şekil 5.14'te verilmiştir. Bu devrelerin parametre değerleri Çizelge 5.2'de ve bu parametrelerin kritik marjları Şekil 5.15'de verilmiştir.



Şekil 5.15: Tasarlanan JTL devresinin parametre marjları



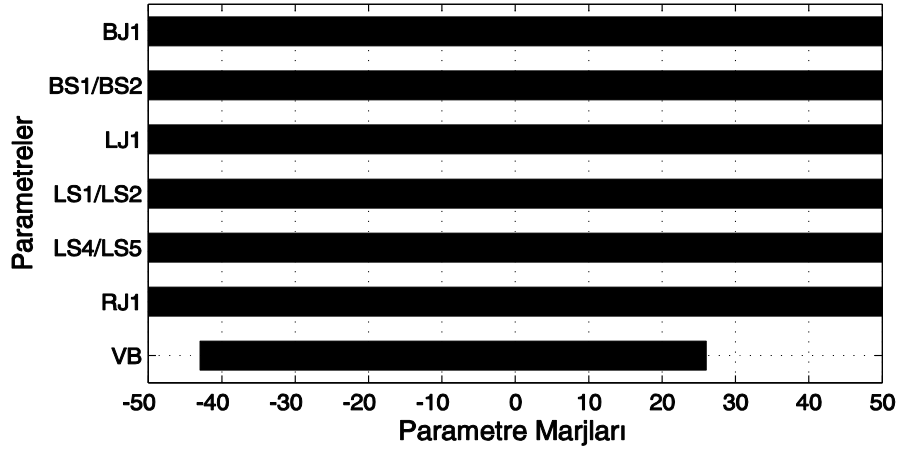
Şekil 5.16: Tasarlanan Ayırıcı devresinin şematığı ve üretilen devrenin fotoğrafı



Şekil 5.17: Tasarlanan ayırıcı devresiyle $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı

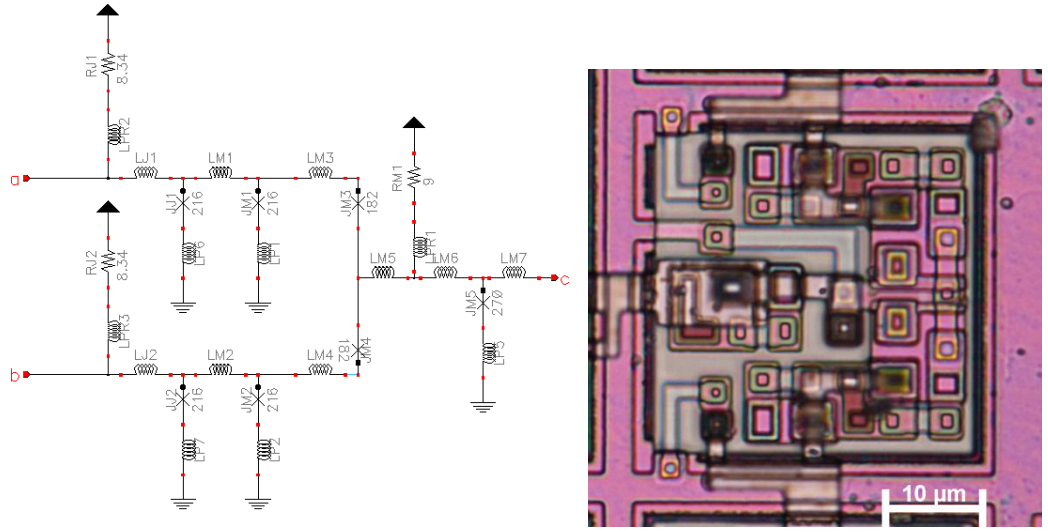
Çizelge 5.3: Tasarlanan Ayırıcı devresinin parametreleri ve kritik marjları

Parametre	Değeri	Kritik Marj
JJ1	182 μ A	$>\pm\%50$
JS1 / JS2	191 μ A	$>\pm\%50$
LJ1	2.17 pH	$>\pm\%50$
LS1 / LS2	3.52 pH	$>\pm\%50$
LS3	0.46 pH	$>\pm\%50$
LS4 / LS5	2.09 pH	$>\pm\%50$
RJ1	8.55 Ω	$>\pm\%50$
VB	2.5 mV	$-\%43 / +\%26$

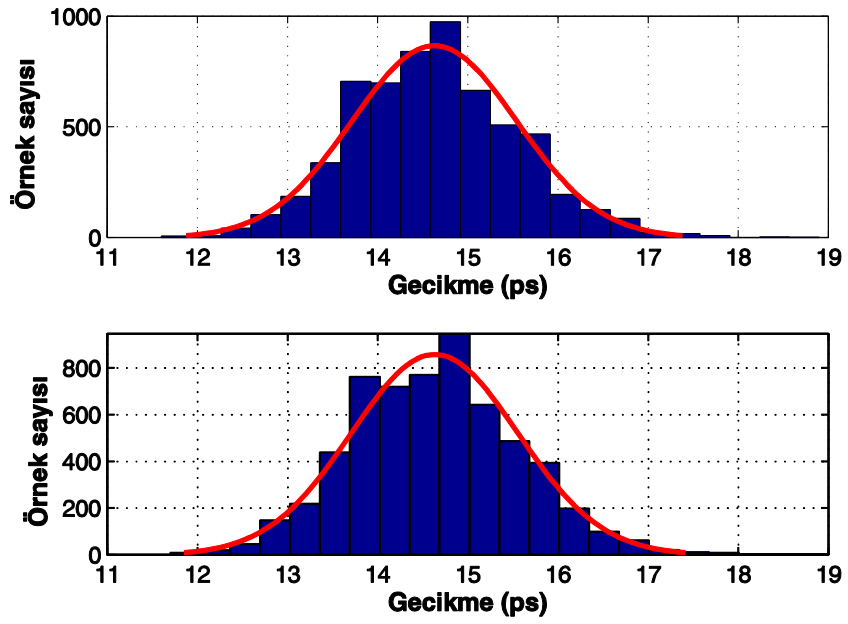


Şekil 5.18: Tasarlanan ayırıcı devresinin parametre marjları

Dijital devre eniyileme programıyla eniyilenen ayırıcı devresinin şematiği ve üretilen devrenin fotoğrafı Şekil 5.16'da, $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 ayırıcı devresinin gecikme dağılımı Şekil 5.17'de verilmiştir. Bu devrelerin parametre değerleri Çizelge 5.3'te ve bu parametrelerin kritik marjları Şekil 5.18'de verilmiştir.



Şekil 5.19: Tasarlanan birleştirici devresinin şematığı ve üretilen devrenin fotoğrafı

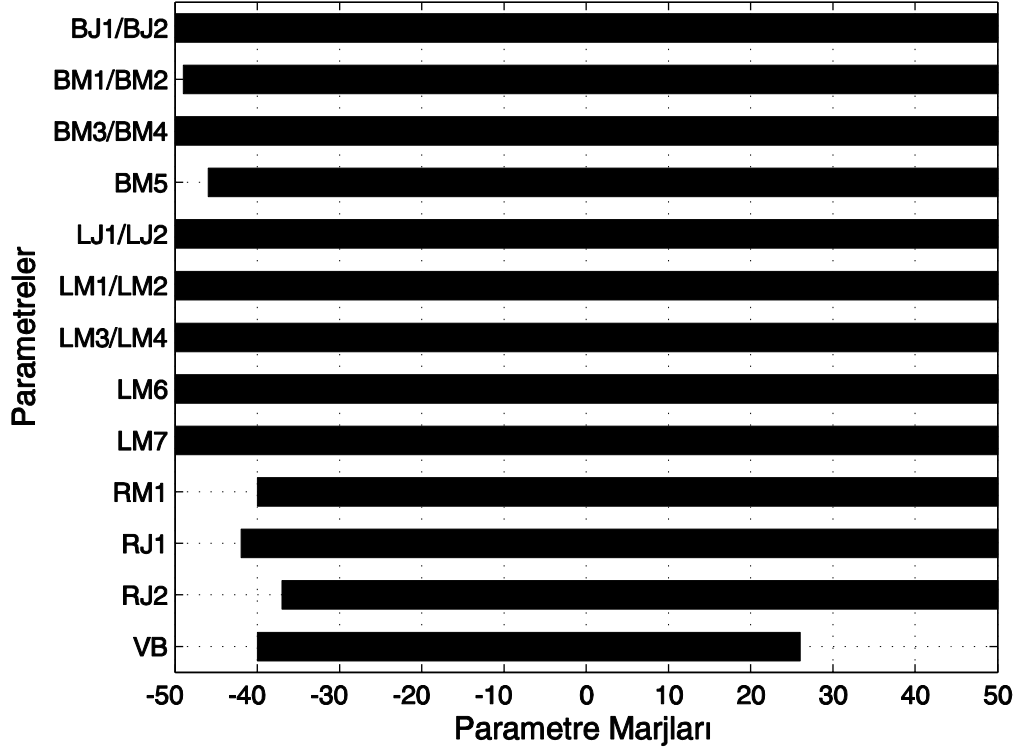


Şekil 5.20: Tasarlanan birleştirici devresiyle $\pm 5\%$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı

Çizelge 5.4: Tasarlanan birleştirici devresinin parametreleri ve kritik marjları

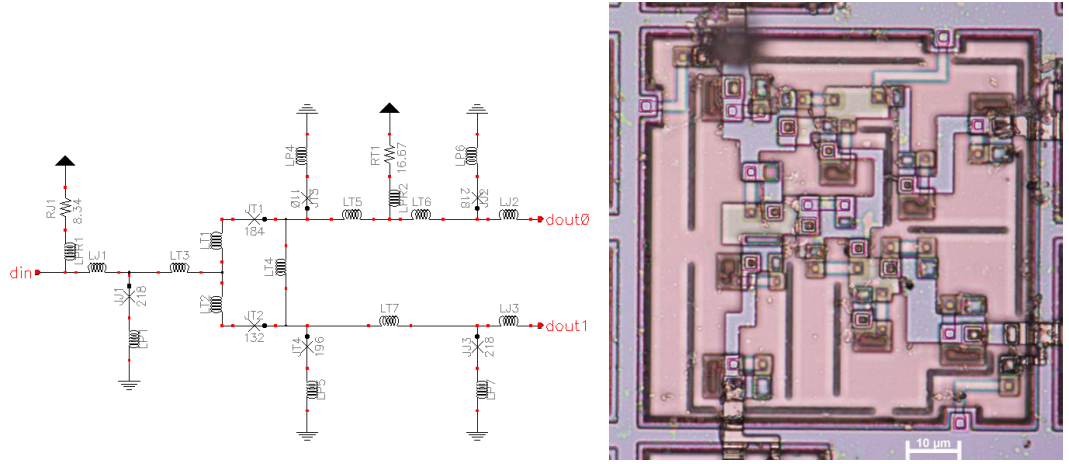
Parametre	Değeri	Kritik Marj
JJ1 / JJ2	182 μ A	$>\pm\%50$
JM1 / JM2	212 μ A	$-\%49 / >+\%50$
JM3 / JM4	160 μ A	$>\pm\%50$
JM5	2.61 μ A	$-\%46 / >+\%50$
LJ1/LJ2	2.17 pH	$>\pm\%50$
LM1 / LM2	3.5 pH	$>\pm\%50$
LS3 / LM4	1.11 pH	$>\pm\%50$
LM5	0.5 pH	$>\pm\%50$
LM6	4.37 pH	$>\pm\%50$
LM7	1.44 pH	$>\pm\%50$
RJ1	8.55 Ω	$-\%42 / >+\%50$
RJ2	8.55 Ω	$-\%38 / >+\%50$
RM1	9.12 Ω	$-\%40 / >+\%50$
VB	2.5 mV	$-\%40 / +\%26$

Dijital devre eniyileme programıyla eniyilenen birleştirici devresinin şematiği ve üretilen devrenin fotoğrafı Şekil 5.19'da, $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 birleştirici devresinin gecikme dağılımı Şekil 5.20'de verilmiştir. Bu devrelerin parametre değerleri Çizelge 5.4'te ve bu parametrelerin kritik marjları Şekil 5.21'de verilmiştir.

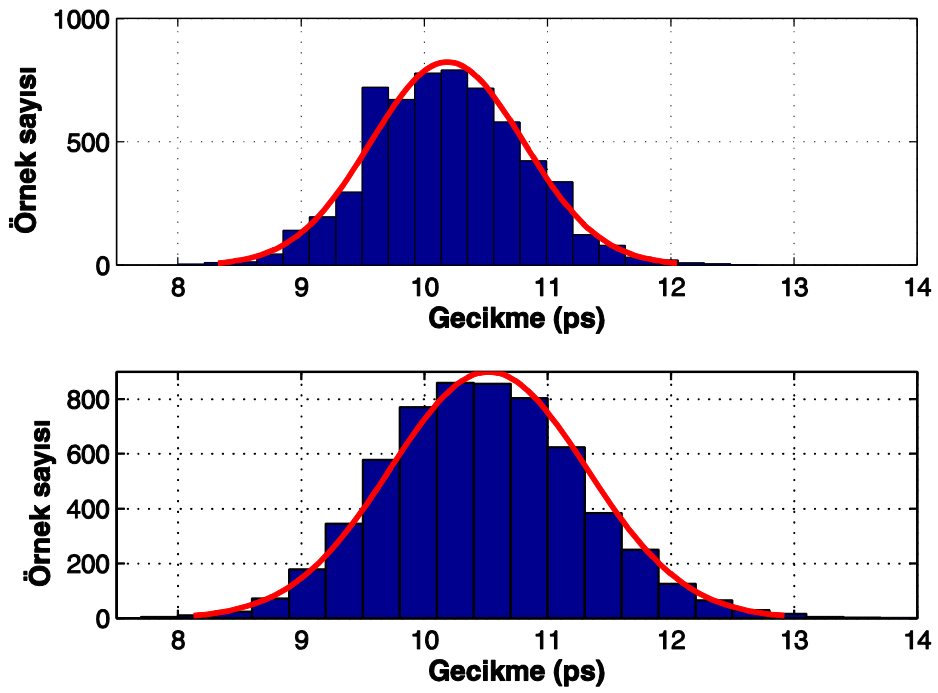


Şekil 5.21: Tasarlanan birleştirici devresinin paramater marjları

Dijital devre eniyileme programıyla eniyilenen TFF devresinin şematığı ve üretilen devrenin fotoğrafı Şekil 5.22'de, $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 birleştirici devresinin gecikme dağılımı Şekil 5.23'te verilmiştir. Bu devrelerin parametre değerleri Çizelge 5.5'te ve bu parametrelerin kritik marjları Şekil 5.24'te verilmiştir.



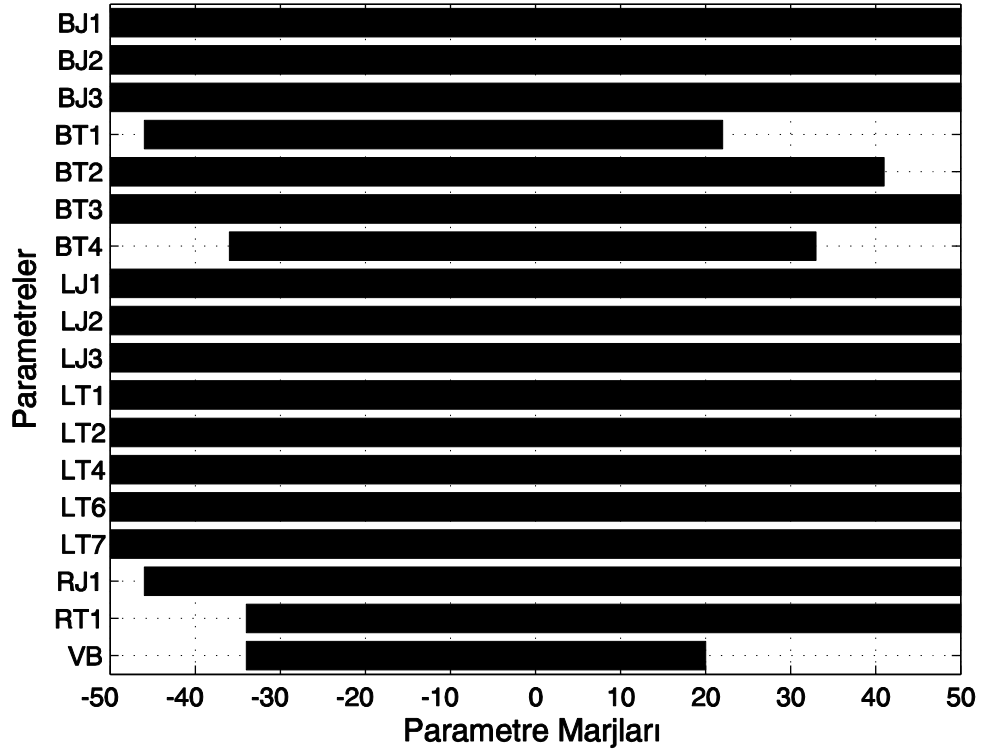
Şekil 5.22: Tasarlanan TFF devresinin şematığı ve üretilen devrenin fotoğrafı



Şekil 5.23: Tasarlanan TFF devresiyle $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı

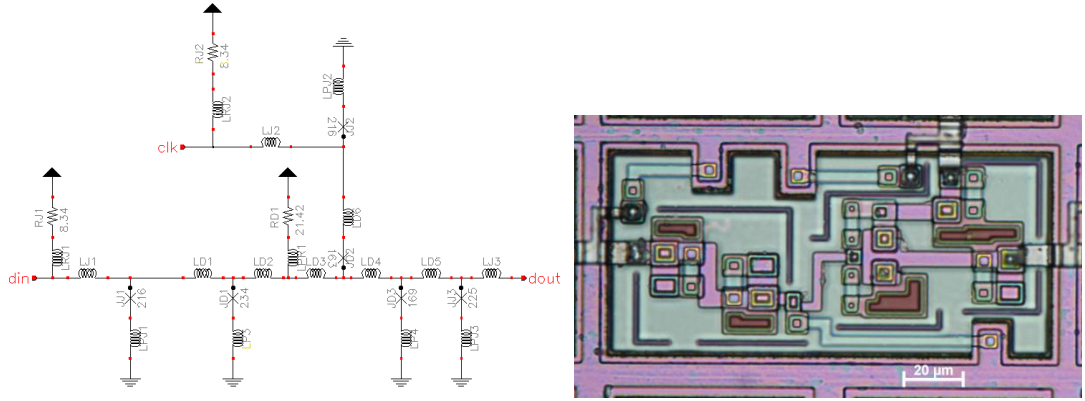
Çizelge 5.5: Tasarlanan TFF devresinin parametreleri ve kritik marjları

Parametre	Değeri	Kritik Marj
JJ1 / JJ2 / JJ3	182 μ A	$>\pm\%50$
JT1	176 μ A	$-\%46 / +\%22$
JT2	144 μ A	$<-\%50 / +\%41$
JT3	112 μ A	$>\pm\%50$
JT4	197 pH	$-\%36 / +\%33$
LJ1 / LJ2 / LJ3	2.17 pH	$>\pm\%50$
LT1 / LT2	1.97 pH	$>\pm\%50$
LT3	3.1 pH	$>\pm\%50$
LT4	7.34 pH	$>\pm\%50$
LT5	0.88 pH	$>\pm\%50$
LT6	3.38 pH	$>\pm\%50$
LT7	4.65 pH	$>\pm\%50$
RJ1	8.55 Ω	$-\%46 / >+\%50$
RT1	17.53 Ω	$-\%34 / >+\%50$
VB	2.5 mV	$-\%34 / +\%20$

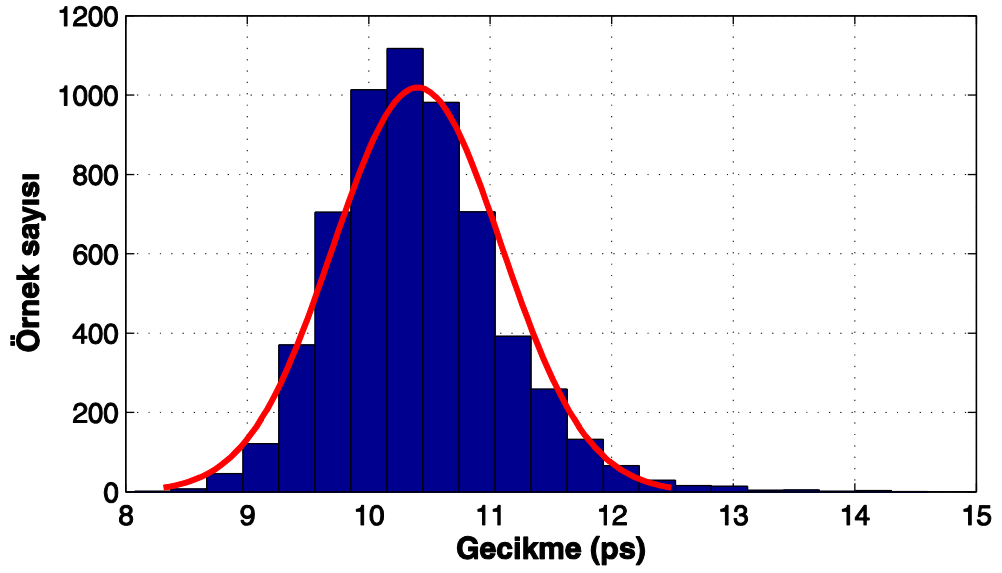


Şekil 5.24: Tasarlanan TFF devresinin paramater marjları

Dijital devre eniyileme programıyla eniyilenen DFF devresinin şematiği ve üretilen devrenin fotoğrafı Şekil 5.25'de, $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 birleştirici devresinin gecikme dağılımı Şekil 5.26'da verilmiştir. Bu devrelerin parametre değerleri Çizelge 5.6'da ve bu parametrelerin kritik marjları Şekil 5.27'de verilmiştir.



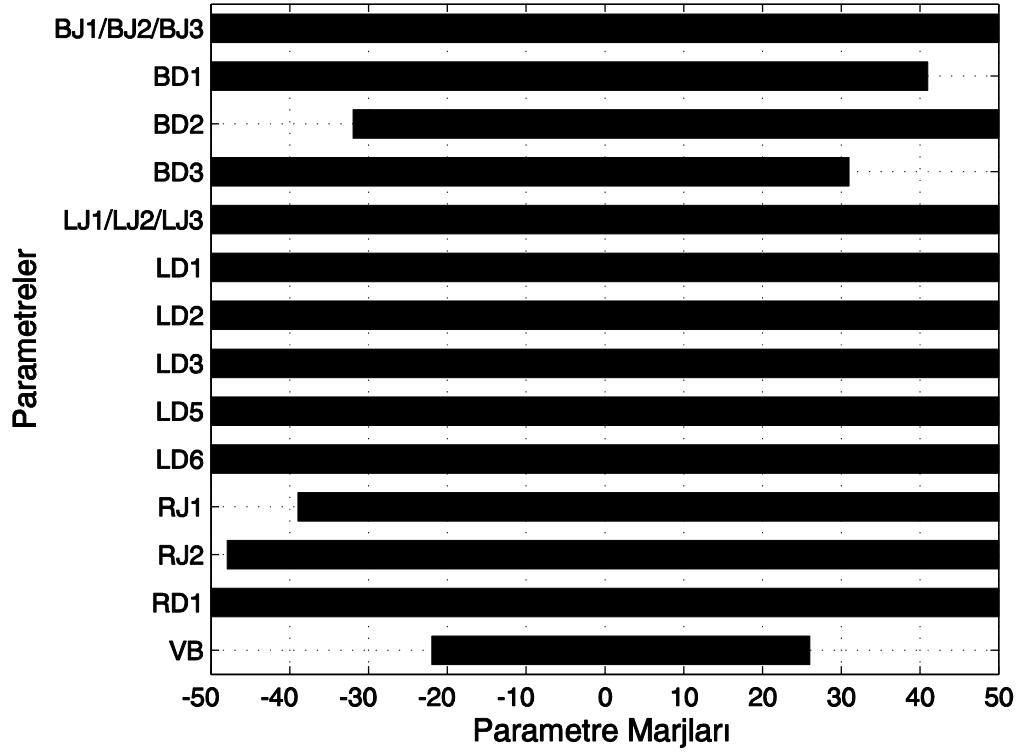
Şekil 5.25: Tasarlanan DFF devresinin şematığı ve üretilen devrenin fotoğrafı



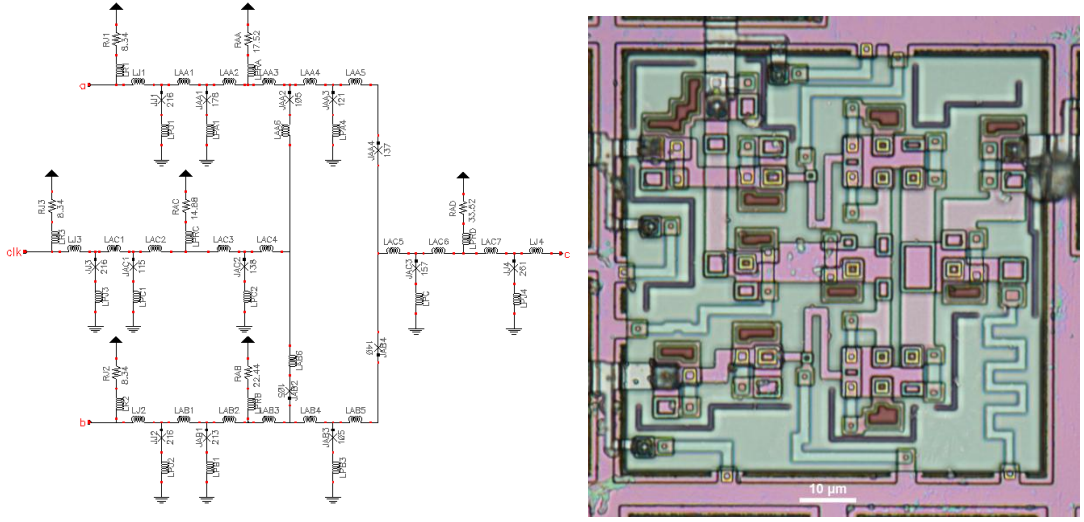
Şekil 5.26: Tasarlanan DFF devresiyle $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı

Çizelge 5.6: Tasarlanan DFF devresinin parametreleri ve kritik marjları

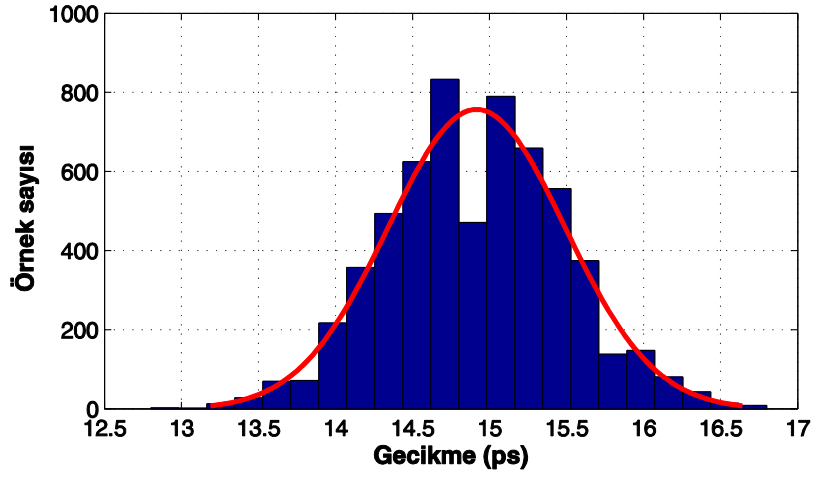
Parametre	Değeri	Kritik Marj
JJ1 / JJ2 / JJ3	182 μ A	$>\pm 50$
JD1	279 μ A	$< -\%50 / +\%41$
JD2	154 μ A	$-\%32 / > +\%50$
JD3	186 μ A	$< -\%50 / +\%31$
LJ1 / LJ2 / LJ3	2.17 pH	$>\pm 50$
LD1	4.21 pH	$>\pm 50$
LD2	1.44 pH	$>\pm 50$
LD3	6.51 pH	$>\pm 50$
LD5	4.49 pH	$>\pm 50$
LD6	3.67 pH	$>\pm 50$
RJ1	8.55 Ω	$-\%39 / > +\%50$
RJ2	8.55 Ω	$-\%48 / > +\%50$
RD1	29.37 Ω	$>\pm 50$
VB	2.5 mV	$-\%22 / +\%26$



Şekil 5.27: Tasarlanan DFF devresinin paramater marjları



Şekil 5.28: Tasarlanan VE kapısının şematiği ve üretilen devrenin fotoğrafı

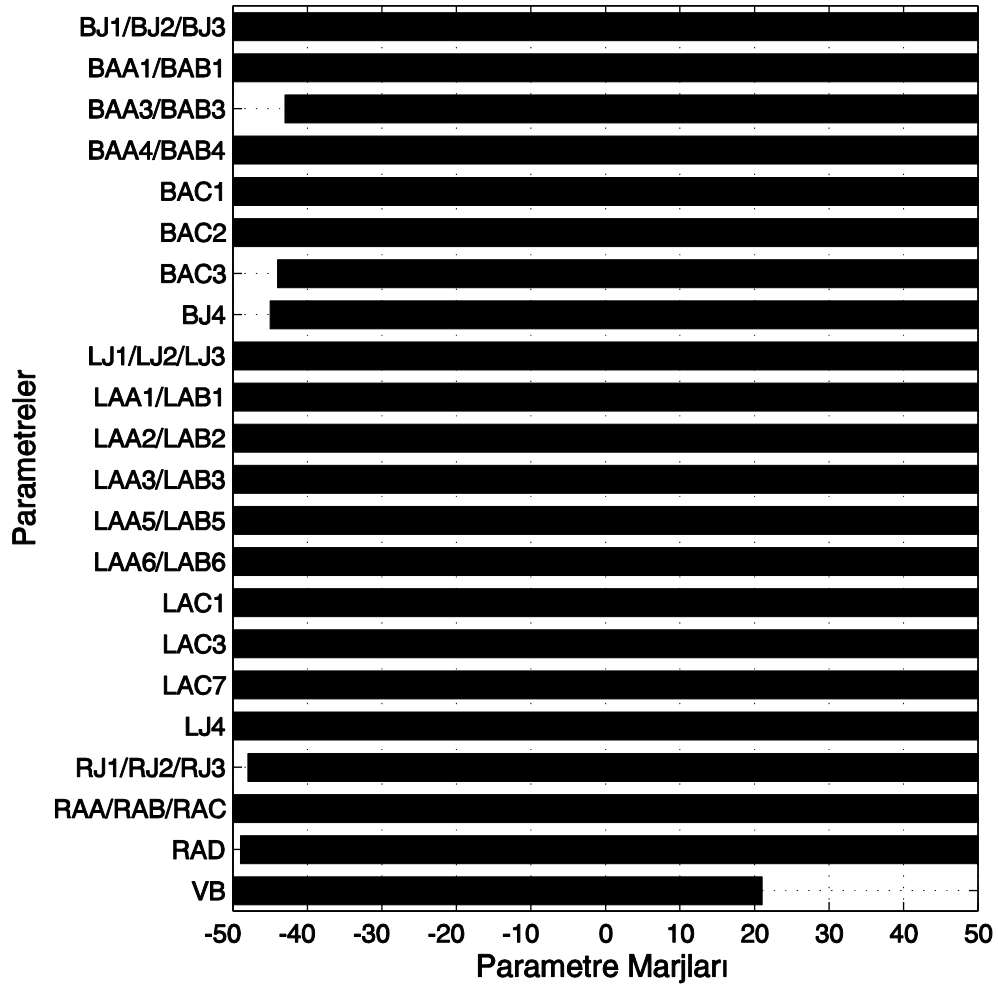


Şekil 5.29: Tasarlanan VE kapısıyla $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı

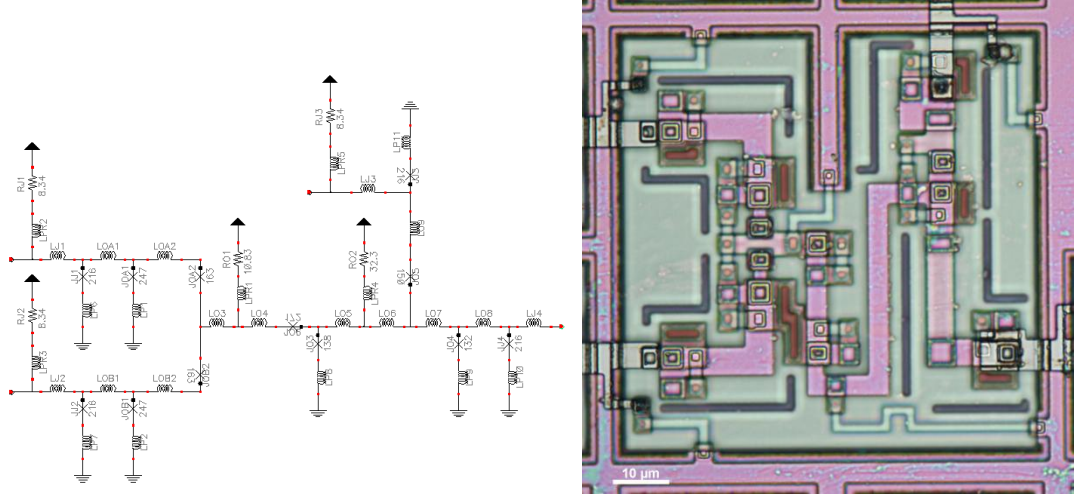
Çizelge 5.7: Tasarlanan VE kapısının parametreleri ve kritik marjları

Parametre	Değeri	Kritik Marj
JJ1 / JJ2 / JJ3	182 μ A	$>\pm\%50$
JAA1 / JAB1	200 μ A	$>\pm\%50$
JAA3 / JAB3	112 μ A	-%43 / $>+\%50$
JAA4 / JAB4	133 pH	$>\pm\%50$
JAC1	118 μ A	$>\pm\%50$
JAC2	146 μ A	$>\pm\%50$
JAC3	151 μ A	-%44 / $>+\%50$
JJ4	182 μ A	-%45 / $>+\%50$
LJ1 / LJ2 / LJ3 / LJ4	2.17 pH	$>\pm\%50$
LAA1 / LAB1	4.32 pH	$>\pm\%50$
LAA2 / LAB2	2.11 pH	$>\pm\%50$
LAA3 / LAB3	8.8 pH	$>\pm\%50$
LAA5 / LAB5	2.45 pH	$>\pm\%50$
LAA6 / LAB6	2.93 pH	$>\pm\%50$
LAC1	4.65 pH	$>\pm\%50$
LAC3	2.04 pH	$>\pm\%50$
LAC7	2.87 pH	$>\pm\%50$
RJ1 / RJ2 / RJ3	8.55 Ω	-%48 / $>+\%50$
RAA / RAB	18.35 Ω	$>\pm\%50$
RAC	15.35 Ω	$>\pm\%50$
RAD	38.44 Ω	-%49 / $>+\%50$
VB	2.5 mV	$<-\%50$ / $+\%21$

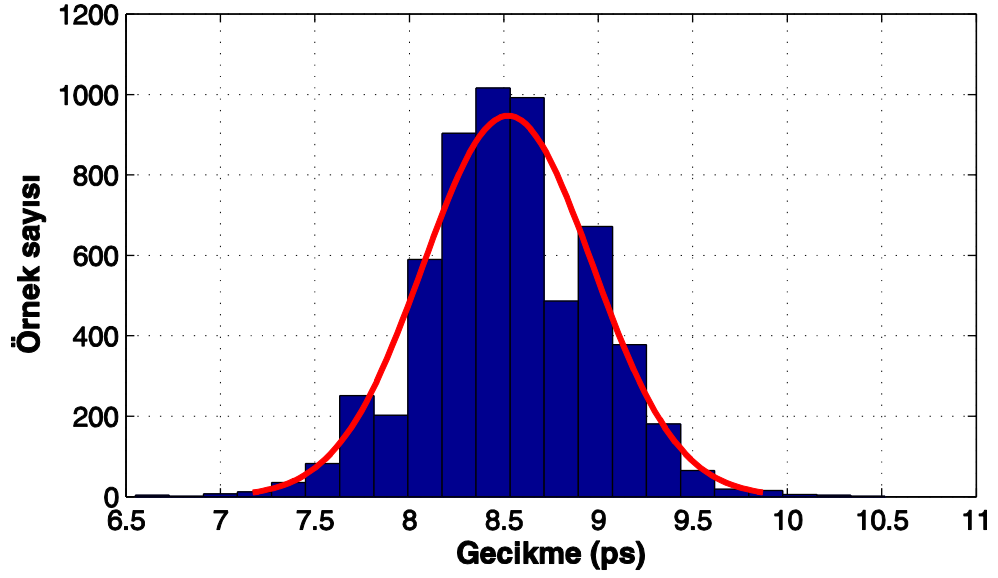
Dijital devre eniyileme programıyla eniyilenen VE kapısının şematığı ve üretilen devrenin fotoğrafı Şekil 5.28'de, $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 birleştirici devresinin gecikme dağılımı Şekil 5.29'da verilmiştir. Bu devrelerin parametre değerleri Çizelge 5.7'de ve bu parametrelerin kritik marjları Şekil 5.30'da verilmiştir.



Şekil 5.30: Tasarlanan VE kapısının parametre marjları



Şekil 5.31: Tasarlanan VEYA kapısının şematığı ve üretilen devrenin fotoğrafı

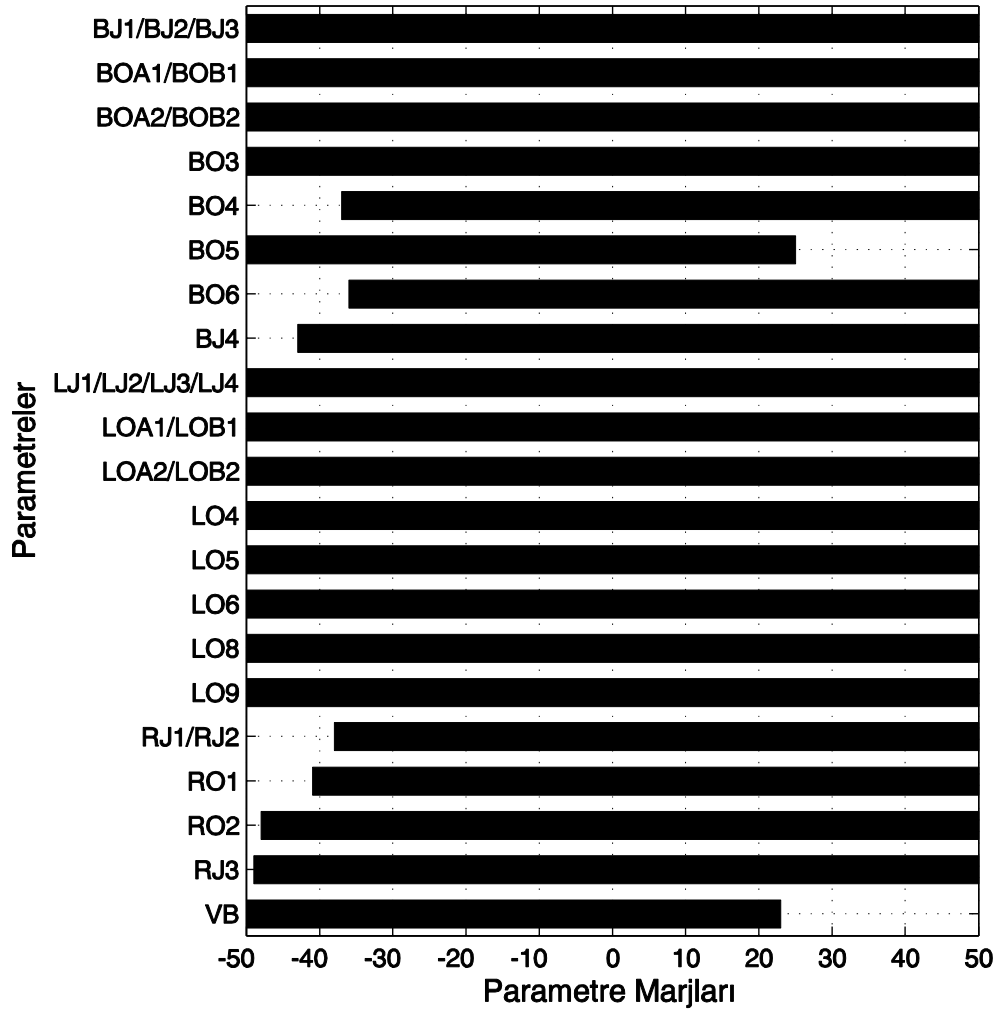


Şekil 5.32: Tasarlanan VEYA kapısıyla $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı

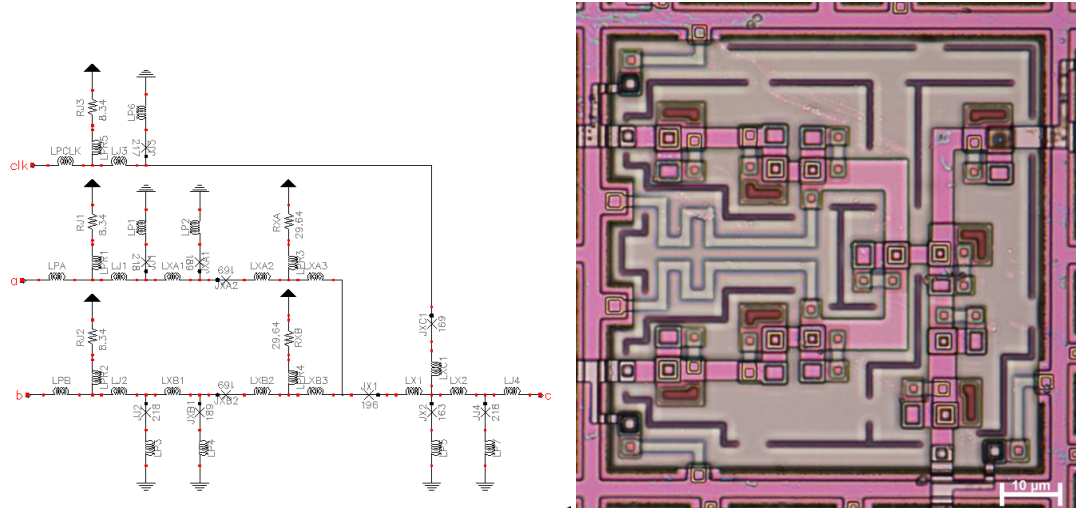
Çizelge 5.8: Tasarlanan VEYA kapısının parametreleri ve kritik marjları

Parametre	Değeri	Kritik Marj
JJ1 / JJ2 / JJ3	182 μ A	$>\pm\%50$
JJ4	182 μ A	$-\%43 / >+\%50$
JOA1 / JOB1	248 μ A	$>\pm\%50$
JOA2 / JOB2	172 μ A	$>\pm\%50$
JO3	141 μ A	$>\pm\%50$
JO4	132 μ A	$-\%37 / >+\%50$
JO5	155 μ A	$<-\%50 / +\%25$
JO6	185 μ A	$-\%36 / >+\%50$
LJ1 / LJ2 / LJ3 / LJ4	2.17 pH	$>\pm\%50$
LOA1 / LOB1	3.56 pH	$>\pm\%50$
LOA2 / LOB2	1.63 pH	$>\pm\%50$
LO4	4.06 pH	$>\pm\%50$
LO5	1.72 pH	$>\pm\%50$
LO6	9.56 pH	$>\pm\%50$
LO8	4.63 pH	$>\pm\%50$
LO9	2.27 pH	$>\pm\%50$
RJ1 / RJ2	8.55 Ω	$-\%38 / >+\%50$
RJ3	8.55 Ω	$-\%49 / >+\%50$
RO1	10.29 Ω	$-\%41 / >+\%50$
RO2	32.88 Ω	$-\%48 / >+\%50$
VB	2.5 mV	$<-\%50 / +\%23$

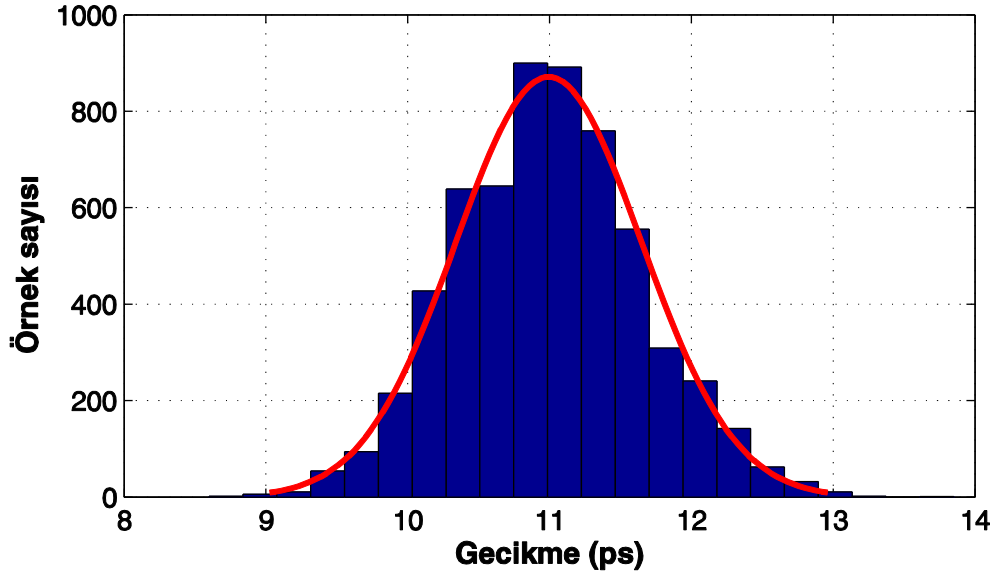
Dijital devre eniyileme programıyla eniyilenen VEYA kapısının şematiği ve üretilen devrenin fotoğrafı Şekil 5.31'de, $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 birleştirici devresinin gecikme dağılımı Şekil 5.32'de verilmiştir. Bu devrelerin parametre değerleri Çizelge 5.8'de ve bu parametrelerin kritik marjları Şekil 5.33'te verilmiştir.



Şekil 5.33: Tasarlanan VEYA kapısının parametre marjları



Şekil 5.34: Tasarlanan ÖZEL VEYA kapısının şematığı ve üretilen devrenin fotoğrafı

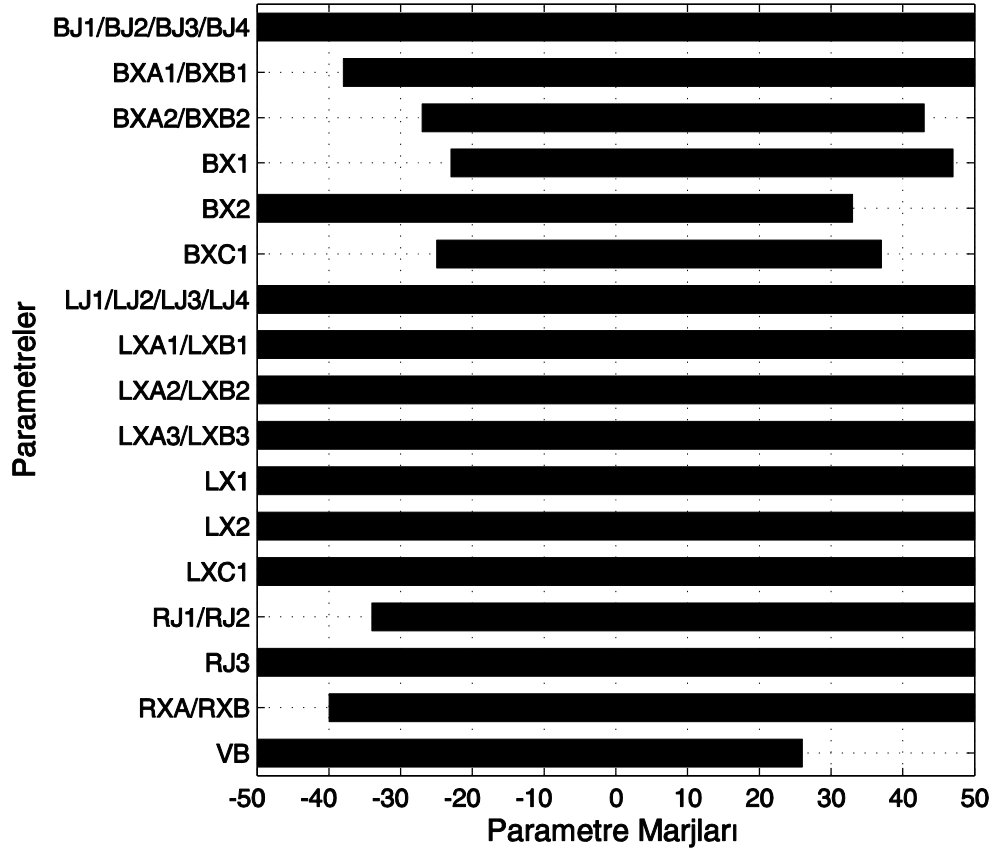


Şekil 5.35: Tasarlanan ÖZEL VEYA kapısıyla $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 devrenin gecikme dağılımı

Çizelge 5.9: Tasarlanan ÖZEL VEYA kapısının parametreleri ve kritik marjları

Parametre	Değeri	Kritik Marj
JJ1 / JJ2 / JJ3 / JJ4	182 μ A	$>\pm\%50$
JXA1 / JXB1	199 μ A	$-\%38 / >+\%50$
JXA2 / JXB2	166 μ A	$-\%27 / +\%43$
JX1	168 μ A	$-\%23 / +\%47$
JX2	164 μ A	$<-\%50 / +\%33$
JXC1	163 μ A	$<-\%25 / +\%37$
LJ1 / LJ2 / LJ3 / LJ4	2.17 pH	$>\pm\%50$
LXA1 / LXB1	4.5 pH	$>\pm\%50$
LXA2 / LXB2	1.24 pH	$>\pm\%50$
LXA3 / LXB3	2.78 pH	$>\pm\%50$
LX1	1.44 pH	$>\pm\%50$
LX2	4.8 pH	$>\pm\%50$
LXC1	3.58 pH	$>\pm\%50$
RJ1 / RJ2	8.55 Ω	$-\%34 / >+\%50$
RJ3	8.55 Ω	$>\pm\%50$
RXA/RXB	27.74 Ω	$-\%40 / >+\%50$
VB	2.5 mV	$<-\%50 / +\%26$

Dijital devre eniyileme programıyla eniyilenen ÖZEL VEYA kapısının şematiği ve üretilen devrenin fotoğrafı Şekil 5.34'te, $\pm\%5$ parametre marjı ile rastgele oluşturulmuş 6000 birleştirici devresinin gecikme dağılımı Şekil 5.35'de verilmiştir. Bu devrelerin parametre değerleri Çizelge 5.9'da ve bu parametrelerin kritik marjları Şekil 5.36'da verilmiştir.



Şekil 5.36: Tasarlanan ÖZEL VEYA kapısının parametre marjları

6 TARTIŞMA

QOS devreleri analog sinyalleri dijital sinyallere çevirmekte kullanılan karışık sinyal devrelerdir. Süperiletken SFQ tabanlı algılayıcı okuma devreleri, analog dijital çevirici devrelerde sıklıkla kullanılırlar. Bu devrelerin hassasiyeti QOS devresinin gri bölge genişliğiyle doğrudan ilgilidir. Bu çalışmada farklı topolojilerdeki QOS devrelerinin gri bölge genişliklerini en aza indiren bir eniyileme aracı yapılmıştır. Geleneksel topolojideki farklı QOS devreleri eniyilenmiş ve başarıyla test edilmiştir. Bir sonraki aşama olan ortak dirençli eklemlere sahip QOS devreleri ve serbest dirençli eklemlere sahip QOS devreleri üretilmiş ölçüm için beklenmektedir. Bu devrelerin gri bölge genişliklerinin benzetim sonuçlarına göre ölçülen geleneksel QOS devrelerinden en az 2 kat daha az olması beklenmektedir.

QOS devrelerinin parametre marjlarının ve besleme akımı marjlarının geniş olması, herhangi bir yonga içerisine kolayca entegre edilebilmesini veya algılayıcı okuma dizileri gibi birden fazla QOS devresi içeren yongalarının hatasız çalışabilmesini sağlamaktadır. QOS devresinin yeniden üretilebilirliği ve besleme akımına toleransı yüksek olursa onlarca QOS devresi içeren algılayıcı okuma devreleri hatasız bir şekilde üretilmesi sağlanabilir. Oluşturulan analog eniyileyici programı yardımıyla besleme akımı marjları yüksek ve gri bölge genişliği bu marjlar içerisinde fazla dalgalanmayan QOS devrelerinin tasarımı kolaylaşmıştır.

Süperiletken RSFQ teknolojisinin sahip olduğu düşük güç tüketimi ve potansiyel yüksek çalışma frekansları gibi avantajlarıyla belirli alanlarda yarıiletken teknolojisine alternatif olması beklenmektedir. Bunun önündeki en büyük engel tasarım ve geliştirme araçlarının oldukça ilkel ve üretim tesislerinin yeterince gelişmemiş olmasıdır. Üretimden kaynaklanan parametre toleranslarında dolayı kritik marjları artırma stratejisi yonga içerisindeki yerel kusurları tolere etmekte ancak dijital hücrelerin gecikme değerlerinde büyük değişimler yaratmaktadır. Bununla birlikte tasarım sırasında gecikmelerdeki bu değişimleri dikkate almak, çok geniş zaman aralıklarında çalışmayı beraberinde getirmektedir. Böylece yüksek

performanslı çok geniş ölçekli devrelerin yapılmasını zorlaştırmaktadır. Bu çalışmada bu problemleri dikkate alan bir dijital devre eniyileme programı yapılarak bir RSFQ dijital devre kütüphanesi oluşturulmuştur. Eniyilenen bu devre kütüphaneleri incelendiğinde kritik parametre marjlarının mevcut kütüphanelerin kritik parametre marjlarıyla çok farkı olmadığı görülmüş hatta çoğu zaman kritik marjları arttırdığı görülmüştür. Aynı zamanda eniyileyici program mevcut diğer SFQ tabanlı dijital devre teknolojileriyle tamamen uyumludur.

Oluşturulan dijital devre eniyileyici, standart mantık devrelerinin yanı sıra aynı zamanda karmaşık büyük devre bloklarının eniyilenmesinde kullanılabileceği test edilmiş, kritik marjları ve besleme akımı marjlarını arttırdığı görülmüştür [66]. Bu sayede karmaşık büyük devre bloklarında hücreler arası empedans eşlemesi için kullanılan JTL devreleri çıkarılarak eniyilenmesinin önü açılmıştır. Eniyileme programının herhangi bir devreye kolayca uygulanabilmesi ve kısa zamanda sonuç vermesi, daha sıkı zaman aralıklarında çalışan, düşük gecikme değerlerine sahip, yüksek performanslı entegre devrelerin yapılmasına olanak sağlamaktadır.

KAYNAKLAR

- [1] D. van Delft ve P. Kes, «The Discovery of Superconductivity».
- [2] W. Meissner ve R. Ochsenfeld, «Ein neuer Effekt bei Eintritt der Supraleitfähigkeit», *Naturwissenschaften*, c 21, sayı 44, ss 787–788, Kas 1933.
- [3] «Meissner effect», *Wikipedia, the free encyclopedia*. 06-Ara-2013.
- [4] J. Bardeen, L. N. Cooper, ve J. R. Schrieffer, «Theory of Superconductivity», *Phys. Rev.*, c 108, sayı 5, ss 1175–1204, Ara 1957.
- [5] B. D. Josephson, «Possible new effects in superconductive tunnelling», *Phys. Lett.*, c 1, sayı 7, ss 251–253, Tem 1962.
- [6] F. London ve H. London, «The Electromagnetic Equations of the Supraconductor», *Proc. R. Soc. Lond. Ser. - Math. Phys. Sci.*, c 149, sayı 866, ss 71–88, Oca 1935.
- [7] R. Doll ve M. Näbauer, «Experimental Proof of Magnetic Flux Quantization in a Superconducting Ring», *Phys. Rev. Lett.*, c 7, sayı 2, ss 51–52, Tem 1961.
- [8] B. S. Deaver Jr. ve W. M. Fairbank, «Experimental Evidence for Quantized Flux in Superconducting Cylinders», *Phys. Rev. Lett.*, c 7, sayı 2, ss 43–46, Tem 1961.
- [9] B. Chesca, R. Kleiner, ve D. Koelle, «SQUID Theory», içinde *The SQUID Handbook*, J. Clarke ve A. I. Braginski, Ed Wiley-VCH Verlag GmbH & Co. KGaA, 2005, ss 29–92.
- [10] A. I. Ahonen, M. S. Hämäläinen, M. J. Kajola, J. E. T. Knuutila, P. P. Laine, O. V. Lounasmaa, L. T. Parkkonen, J. T. Simola, ve C. D. Tesche, «122-channel squid instrument for investigating the magnetic signals from the human brain», *Phys. Scr.*, c 1993, sayı T49A, s 198, Oca 1993.
- [11] T.-K. Lee, J. W. M. Jr, S. Lee, ve J. Clarke, «Detection of Fatigue Damage Prior Crack Initiation with Scanning SQUID Microscopy», içinde *AIP Conference Proceedings*, 2006, c 820, ss 1378–1385.
- [12] H. Itozaki, K. Kawagishi, T. Kondo, T. Shimizu, ve K. Hashi, «Mine detector with NQR-SQUID», 739425001-Tem-2008.
- [13] H. Weinstock, «A review of SQUID magnetometry applied to nondestructive evaluation», *IEEE Trans. Magn.*, c 27, sayı 2, ss 3231–3236, 1991.
- [14] K. K. Likharev, O. A. Mukhanov, ve V. K. Semenov, «Resistive single flux quantum logic for the Josephson-junction digital technology», *Proc SQUID '85*, ss 1103–1108, 1985.
- [15] K. K. Likharev ve V. K. Semenov, «RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems», *Appl. Supercond. IEEE Trans. On*, c 1, sayı 1, ss 3–28, Mar 1991.
- [16] J. Q. You ve F. Nori, «Atomic physics and quantum optics using superconducting circuits», *Nature*, c 474, sayı 7353, ss 589–597, Haz 2011.
- [17] A. I. Braginski ve J. Clarke, «Introduction», içinde *The SQUID Handbook*, J. Clarke ve A. I. Braginski, Ed Wiley-VCH Verlag GmbH & Co. KGaA, 2005, ss 1–28.
- [18] A. Bozbey, «YBCO Edge Transition Bolometers: Effect of Superconductivity Transition on the Phase and Magnitude of the Responce», Yüksek Lisans Tezi, Bilkent Üniversitesi, Ankara, 2013.

- [19] A. Bozbey, S. Miyajima, T. Ortlepp, ve A. Fujimaki, «Design and Circuit Analysis of Quasi-one Junction SQUID Comparators for Low Temperature Detector Array Read-out», *J. Supercond. Nov. Magn.*, c 24, sayı 1, ss 1065–1069, 2011.
- [20] IRTS, «International Technology Roadmap for Semiconductors 2004 - Emerging Research Devices», 2004.
- [21] NSA, «SUPERCONDUCTING TECHNOLOGY ASSESSMENT». Amerikan Ulusal Güvenlik kurumu (NSA), 2005.
- [22] T. V. Filippov, A. Sahu, A. F. Kirichenko, I. V. Vernik, M. Dorojevets, C. L. Ayala, ve O. A. Mukhanov, «20 GHz Operation of an Asynchronous Wave-Pipelined RSFQ Arithmetic-Logic Unit», *Phys. Procedia*, c 36, ss 59–65, 2012.
- [23] M. Dorojevets, A. K. Kasperek, N. Yoshikawa, ve A. Fujimaki, «20-GHz 8 8-bit Parallel Carry-Save Pipelined RSFQ Multiplier», *IEEE Trans. Appl. Supercond.*, c 23, sayı 3, s 1300104, Haz 2013.
- [24] M. Dorojevets, C. L. Ayala, N. Yoshikawa, ve A. Fujimaki, «8-Bit Asynchronous Sparse-Tree Superconductor RSFQ Arithmetic-Logic Unit With a Rich Set of Operations», *IEEE Trans. Appl. Supercond.*, c 23, sayı 3, s 1700104, Haz 2013.
- [25] T. Filippov, M. Dorojevets, A. Sahu, A. Kirichenko, C. Ayala, ve O. Mukhanov, «8-Bit Asynchronous Wave-Pipelined RSFQ Arithmetic-Logic Unit», *IEEE Trans. Appl. Supercond.*, c 21, sayı 3, ss 847–851, Haz 2011.
- [26] M. Dorojevets ve P. Bunyk, «Architectural and implementation challenges in designing high-performance RSFQ processors: a FLUX-1 microprocessor and beyond», *IEEE Trans. Appl. Supercond.*, c 13, sayı 2, ss 446–449, Haz 2003.
- [27] A. Fujimaki, M. Tanaka, T. Yamada, Y. Yamanashi, H. Park, ve N. Yoshikawa, «Bit-Serial Single Flux Quantum Microprocessor CORE», *IEICE Trans. Electron.*, c E91–C, sayı 3, ss 342–349, Mar 2008.
- [28] P. Bunyk, M. Leung, J. Spargo, ve M. Dorojevets, «Flux-1 RSFQ microprocessor: physical design and test results», *IEEE Trans. Appl. Supercond.*, c 13, sayı 2, ss 433–436, Haz 2003.
- [29] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, ve K. K. Likharev, «Rapid single flux quantum T-flip flop operating up to 770 GHz», *IEEE Trans. Appl. Supercond.*, c 9, sayı 2, ss 3212–3215, 1999.
- [30] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, ve K. K. Likharev, «Superconductor digital frequency divider operating up to 750 GHz», *Appl. Phys. Lett.*, c 73, sayı 19, ss 2817–2819, Kas 1998.
- [31] M. Tanaka, A. Kitayama, T. Koketsu, M. Ito, ve A. Fujimaki, «Low-Energy Consumption RSFQ Circuits Driven by Low Voltages», *IEEE Trans. Appl. Supercond.*, c 23, sayı 3, ss 1701104–1701104, 2013.
- [32] J. Kennedy ve R. Eberhart, «Particle swarm optimization», içinde , *IEEE International Conference on Neural Networks, 1995. Proceedings*, 1995, c 4, ss 1942–1948 vol.4.
- [33] R. Poli, J. Kennedy, ve T. Blackwell, «Particle swarm optimization», *Swarm Intell.*, c 1, sayı 1, ss 33–57, Haz 2007.
- [34] Y. Shi ve R. C. Eberhart, «Parameter selection in particle swarm optimization», içinde *Evolutionary Programming VII*, V. W. Porto, N. Saravanan, D. Waagen, ve A. E. Eiben, Ed Springer Berlin Heidelberg, 1998, ss 591–600.

- [35] Y. Shi ve R. Eberhart, «A modified particle swarm optimizer», içinde *Evolutionary Computation Proceedings, 1998. IEEE World Congress on Computational Intelligence., The 1998 IEEE International Conference on*, 1998, ss 69–73.
- [36] R. Eberhart ve J. Kennedy, «A new optimizer using particle swarm theory», içinde *Micro Machine and Human Science, 1995. MHS '95., Proceedings of the Sixth International Symposium on*, 1995, ss 39–43.
- [37] Y. Shi ve R. C. Eberhart, «Empirical study of particle swarm optimization», içinde *Proceedings of the 1999 Congress on Evolutionary Computation, 1999. CEC 99*, 1999, c 3, s -1950 Vol. 3.
- [38] J. Robinson ve Y. Rahmat-Samii, «Particle swarm optimization in electromagnetics», *IEEE Trans. Antennas Propag.*, c 52, sayı 2, ss 397–407, 2004.
- [39] U. Olgun, C. A. Tunc, D. Aktas, V. B. Ertürk, ve A. Altintas, «Particle swarm optimization of dipole arrays for superior MIMO capacity», *Microw. Opt. Technol. Lett.*, c 51, sayı 2, ss 333–337, 2009.
- [40] R. C. Eberhart ve Y. Shi, «Particle swarm optimization: developments, applications and resources», içinde *Proceedings of the 2001 Congress on Evolutionary Computation, 2001*, 2001, c 1, ss 81–86 vol. 1.
- [41] I. C. Trelea, «The particle swarm optimization algorithm: convergence analysis and parameter selection», *Inf. Process. Lett.*, c 85, sayı 6, ss 317–325, Mar 2003.
- [42] E. S. Fang ve T. Van Duzer, «A Josephson integrated circuit simulator (JSIM) for superconductive electronics application», *Ext Abstr 2nd ISEC Tokyo Jpn.*, ss 407–410, 1989.
- [43] T. L. Quarles, «Analysis of Performance and Convergence Issues for Circuit Simulation», EECS Department, University of California, Berkeley, 1989.
- [44] E. S. Fang ve T. V. Duzer, «JSIM Preliminary Version User's Guide». .
- [45] S. Nagasawa ve M. Hidaka, «Design instruction for AIST standard process (AIST-STP2)». National Institute of Advanced Industrial Science and Technology (AIST), 08-Tem-2013.
- [46] «Niobium Process | Proven Foundry Results | Niobium IC Fabrication Process | Hypres Inc.» [Çevrimiçi]. Available at: <http://www.hypres.com/foundry/niobium-process/>. [Erişildi: 17-Ara-2013].
- [47] «FLUXONICS Foundry - The Foundry of the European FLUXONICS Network: www.ipht-jena.de». [Çevrimiçi]. Available at: <http://www.ipht-jena.de/en/research-units/research-departments/quantum-detection/fluxonics-foundry-the-foundry-of-the-european-fluxonics-network/adressen/hans-georg-meyer.html>. [Erişildi: 17-Ara-2013].
- [48] M. Hidaka, S. Nagasawa, K. Hinode, ve T. Satoh, «Improvements in Fabrication Process for Nb-Based Single Flux Quantum Circuits in Japan», *IEICE Trans. Electron.*, c E91–C, sayı 3, ss 318–324, Mar 2008.
- [49] T. Imamura ve S. Hasuo, «Evaluation of AlOx barrier thickness in Nb Josephson junctions using anodization profiles», *Appl. Phys. Lett.*, c 55, sayı 24, ss 2550–2552, Ara 1989.

- [50] S. Polonsky, P. Shevchenko, A. Kirichenko, D. Zinoviev, ve A. Rylyakov, «PSCAN'96: new software for simulation and optimization of complex RSFQ circuits», *IEEE Trans. Appl. Supercond.*, c 7, sayı 2, ss 2685–2689, 1997.
- [51] F. G. Ortmann, A. van der Merwe, H. R. Gerber, ve C. J. Fourie, «A Comparison of Multi-Criteria Evaluation Methods for RSFQ Circuit Optimization», *IEEE Trans. Appl. Supercond.*, c 21, sayı 3, ss 801–804, 2011.
- [52] N. Mori, A. Akahori, T. Sato, N. Takeuchi, A. Fujimaki, ve H. Hayakawa, «A new optimization procedure for single flux quantum circuits», *Phys. C Supercond.*, c 357–360, Part 2, ss 1557–1560, Ağu 2001.
- [53] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, ve S. Tahara, «A single flux quantum standard logic cell library», *Phys. C Supercond.*, c 378–381, Part 2, ss 1471–1474, Eki 2002.
- [54] C. J. Fourie ve W. J. Perold, «Comparison of genetic algorithms to other optimization techniques for raising circuit yield in superconducting digital circuits», *IEEE Trans. Appl. Supercond.*, c 13, sayı 2, ss 511–514, 2003.
- [55] T. Harnisch, J. Kunert, H. Toepfer, ve H. F. Uhlmann, «Design centering methods for yield optimization of cryoelectronic circuits», *IEEE Trans. Appl. Supercond.*, c 7, sayı 2, ss 3434–3437, 1997.
- [56] H. Myoren, Y. Wakimizu, ve S. Takada, «Design of single-flux-quantum universal gates with a wide operating margin», *Supercond. Sci. Technol.*, c 16, sayı 12, s 1447, Ara 2003.
- [57] S. V. Polonsky, V. K. Semenov, P. I. Bunyk, A. F. Kirichenko, A. Y. Kidiyarov-Shevchenko, O. A. Mukhanov, P. N. Shevchenko, D. F. Schneider, D. Y. Zinoviev, ve K. K. Likharev, «New RSFQ circuits (Josephson junction digital devices)», *IEEE Trans. Appl. Supercond.*, c 3, sayı 1, ss 2566–2577, 1993.
- [58] S. Xu ve Y. Rahmat-Samii, «Boundary Conditions in Particle Swarm Optimization Revisited», *Antennas Propag. IEEE Trans. On*, c 55, sayı 3, ss 760–765, Mar 2007.
- [59] Y. Tukul, A. Bozbey, ve C. A. Tunc, «Optimization of Single Flux Quantum Circuit Based Comparators Using PSO», *J. Supercond. Nov. Magn.*, c 26, sayı 5, ss 1837–1841, May 2013.
- [60] Y. Tukul, A. Bozbey, ve C. A. Tunc, «Development of an Optimization Tool for RSFQ Digital Cell Library Using Particle Swarm», *IEEE Trans. Appl. Supercond.*, c 23, sayı 3, ss 1700805–1700805, 2013.
- [61] H. Terai, S. Miki, T. Yamashita, K. Makise, ve Z. Wang, «Demonstration of single-flux-quantum readout operation for superconducting single-photon detectors», *Appl. Phys. Lett.*, c 97, sayı 11, ss 112510–112510–3, Eyl 2010.
- [62] D. K. Brock, S. S. Martinet, M. F. Bocko, ve J. X. Przybysz, «Design and testing of QOS comparators for an RSFQ based analog to digital converter», *IEEE Trans. Appl. Supercond.*, c 5, sayı 2, ss 2244–2247, Haz 1995.
- [63] P. Bradley ve H. Dang, «Design and testing of quasi-one junction SQUID-based comparators at low and high speed for superconductive flash A/D convertors», *IEEE Trans. Appl. Supercond.*, c 1, sayı 3, ss 134–139, 1991.
- [64] A. Bozbey, S. Miyajima, H. Akaike, ve A. Fujimaki, «Single-Flux-Quantum Circuit Based Readout System for Detector Arrays by Using Time to Digital Conversion», *IEEE Trans. Appl. Supercond.*, c 19, sayı 3, ss 509–513, 2009.

- [65] «68–95–99.7 rule», *Wikipedia, the free encyclopedia*. 13-Ara-2013.
- [66] M. Ozer, Y. Tukul, M. E. Çelik, ve A. Bozbey, «Design of RSFQ Asynchronous Pipelined Kogge-Stone Adder and Developing Custom Compound Gates», sunulan 7th Asian Conference on Applied Superconductivity and Cryogenics, Kapadokya, Türkiye, 2013.

ÖZGEÇMİŞ

Kişisel Bilgiler

Soyadı, adı : TÜKEL, Yiğit
Uyruğu : T.C.
Doğum tarihi ve yeri : 27.03.1987 İstanbul
Medeni hali : Bekar
Telefon : 0 (532) 698 10 87
e-mail : yigittukel@gmail.com

Eğitim

Derece	Eğitim Birimi	Mezuniyet tarihi
Lisans	TOBB ETÜ/Elektrik-Elektronik Müh	2011

İş Deneyimi

Yıl	Yer	Görev
2011-2013	TOBB ETÜ	Eğitim ve Araştırma Asistanı

Yabancı Dil

İngilizce
İspanyolca

Yayınlar

- 1 Y. Tukul, A. Bozbey, ve C. A. Tunc, «Optimization of Single Flux Quantum Circuit Based Comparators Using PSO», *J. Supercond. Nov. Magn.*, c 26, sayı 5, ss 1837–1841, May 2013.
- 2 Y. Tukul, A. Bozbey, ve C. A. Tunc, «Development of an Optimization Tool for RSFQ Digital Cell Library Using Particle Swarm», *IEEE Trans. Appl. Supercond.*, c 23, sayı 3, ss 1700805–1700805, 2013.

3

Konferans Bildirileri

- 1 Y. Tukul, A. Bozbey, S. Miyajima, C. A. Tunc and A. Fujimaki, “Design of a 4-bit Time to Digital Converter Circuit for Use in a Superconducting Flash Analog-Digital Converter”, International Conference on Superconductivity and Magnetism (ICSM2010), Antalya, Turkey, 2010

- 2 Y. Tukul, A. Bozbey, C. A. Tunc, "Optimization of Single Flux Quantum Circuit Based Comparators", International Conference on Superconductivity and Magnetism (ICSM2012), Antalya, Turkey, 2012
- 3 Y. Tukul, A. Bozbey, C. A. Tunc, "Development of an Optimization Tool for RSFQ Digital Cell Library Using Particle Swarm." Applied Superconductivity, IEEE Transactions on 2012, Portland, Oregon, USA, 2012
- 4 Y. Tukul, M. Eren Celik, A. Bozbey, C. A. Tunc, "Development of a PSO based circuit optimizer and critical path analyzer for RSFQ circuits", International Symposium on Superconductivity, Japan, 2013
- 5 A. Bozbey, Y. Tukul, E. Celik, C.A. Tunc, M. Ozer, "Development of an Analog Circuit Optimizer and Jitter Analysis Tool for SFQ Circuits", Superconducting SFQ VLSI Workshop, Japan, 2013
- 6 Y. Tukul, M. Özer, A. Bozbey, C. A. Tunc, "Stripline Design of Passive Transmission Lines for RSFQ Circuits" Applied Superconductivity, European Conference on Applied Superconductivity 2013, Genova, Italy, 2013